

**ANKARA ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

YÜKSEK LİSANS TEZİ

**FPGA TABANLI YÜKSEK FREKANSLI RF SİNYALİ TESPİTİ
VE ZAMANLAMALI DÜRTÜ SİNYALİ ÜRETİMİ**

Güneş SÖNMEZ

ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

**ANKARA
2026**

Her hakkı saklıdır

ÖZET

Yüksek Lisans Tezi

FPGA TABANLI YÜKSEK FREKANSLI RF SİNYALİ TESPİTİ VE ZAMANLAMALI DÜRTÜ SİNYALİ ÜRETİMİ

Güneş SÖNMEZ

Ankara Üniversitesi
Fen Bilimleri Enstitüsü
Elektrik-Elektronik Mühendisliği Anabilim Dalı

Danışman: Dr. Öğr. Üyesi İlyas Evrim ÇOLAK

Bu tez çalışmasında, parçacık hızlandırıcılarında kullanılan yüksek frekanslı ve yüksek güçlü RF darbelerinin yönetildiği RF baskılayıcı sistemi için FPGA tabanlı bir giriş sinyali tespit, gecikme kontrolü ve darbe üretim mimarisi geliştirilmiştir. Sistem, Xilinx ZC706 SoC FPGA üzerinde tasarlanmış olup, tüm benzetim ve doğrulama çalışmaları Xilinx Vivado ortamında test ortamı (testbench) kullanılarak gerçekleştirilmiştir. RF kaynağından elde edilen sinyal, KiCad ortamında geliştirilen Schottky diyot tabanlı bir RF tepe tespit devresine uygulanmıştır. Bu devre LTSpice üzerinde benzetilerek doğrulanmış ve ADC'ye aktarılabilecek doğrultulmuş sinyalin genlik ve süre parametreleri belirlenmiştir. Elde edilen doğrultulmuş işaret, AD9434 yüksek hızlı ADC tarafından 400 MSPS hızında örneklenecek FPGA'ye aktarılacak üzere sayısallaştırılmıştır. FPGA üzerindeki tespit algoritması, iki farklı frekansa (260 MHz ve 1.3 GHz) karşılık gelen doğrultulmuş genlik değerlerini ayırt etmek amacıyla sonlu durum makinesi (FSM) tabanlı üç aşamalı bir karar yapısı ile gerçekleştirilmiştir. Bu yapı sırasıyla eşik geçişini bekleme, eşikler arası süreyi ölçme ve sınıflandırma çıktısını kilitleme aşamalarından oluşmaktadır. Doğrultulmuş genlik tepesi yalnızca birkaç örnek boyunca sürdüğünden, sinyalin güvenilir biçimde yakalanabilmesi için yüksek örnekleme hızına ihtiyaç duyulmuştur. Bu nedenle AD9434 ile ZC706 arasındaki veri aktarımı, yüksek hızlara uyumlu LVDS üzerinden gerçekleştirilmiştir. Tespit tamamlandığında FPGA'nin, UART arayüzü üzerinden kullanıcının belirlediği nanosaniye-mikrosaniye ölçekli gecikme süresini uyguladığı ve ardından genişliği yine kullanıcı tarafından tanımlanabilir tek atımlık bir darbe ürettiği gösterilmiştir.

Nisan 2026, 91 sayfa

Anahtar Kelimeler: FPGA, VHDL, ADC, Genlik Tespiti, LVDS, Schottky Diyot, RF Sinyali Tespiti

ABSTRACT

Master Thesis

FPGA-BASED DETECTION OF HIGH-FREQUENCY RF SIGNALS AND GENERATION OF TIMED PULSE SIGNALS

Güneş SÖNMEZ

Ankara University
Graduate School of Natural and Applied Science
Department of Electrical and Electronics Engineering

Supervisor: Dr. Öğr. Üyesi İlyas Evrim ÇOLAK

In this thesis, an FPGA-based input signal detection, delay control, and pulse generation architecture has been developed for the RF suppressor system used to manage high-frequency and high-power RF pulses in particle accelerators. The system was designed on the Xilinx ZC706 SoC FPGA, and all simulation and verification studies were carried out in the Xilinx Vivado environment using a testbench. The signal obtained from the RF source was applied to a Schottky diode-based RF peak detection circuit developed in KiCad. This circuit was verified through LTSpice simulations, and the amplitude and duration parameters of the rectified signal to be transferred to the ADC were determined. The resulting rectified signal was sampled by the AD9434 high-speed ADC at 400 MSPS and digitized for transfer to the FPGA. The detection algorithm on the FPGA was realized using a three-stage finite state machine (FSM)-based decision structure to distinguish the rectified amplitude values corresponding to two different frequencies, 260 MHz and 1.3 GHz. This structure consists of waiting for a threshold crossing, measuring the time between threshold crossings, and latching the classification output. Since the rectified amplitude peak lasts only for a few samples, a high sampling rate was required to capture the signal reliably. Therefore, data transfer between the AD9434 and the ZC706 was carried out via LVDS. After detection was completed, it was demonstrated that the FPGA applied the nanosecond–microsecond scale delay specified by the user through the UART interface and then generated a single-shot pulse with user-definable width.

April 2026, 91 pages

Keywords: FPGA, VHDL, ADC, Peak Detection, LVDS, Schottky Diode, RF Signal Detection

TEŞEKKÜR

Yüksek lisans eğitimime başlama aşamasından, tez konusunun belirlenmesi, projelendirilmesi ve tamamlanmasına kadar geçen tüm süreçte desteği ve anlayışıyla yanımda olan Sayın Dr. İlyas Evrim ÇOLAK’a; tez ve ders süreçlerim boyunca teknik ve manevi desteklerini esirgemeyen Sayın Dr. Sultan CAN’a ve Sayın Dr. Gökhan SOYSAL’a teşekkürlerimi sunarım.

Mevcut proje çalışmalarıyla tez konusunun belirlenmesine olanak sağlayan Türkiye Parçacık Hızlandırıcı ve Işınım Laboratuvarı’na (TARLA) ve tez çalışmasının gerçekleştirilmesi ile tez yazım sürecinde bilgi ve tecrübesiyle, ayrıca makalesiyle katkı sağlayan Dr. Özlem KARSLI’ya teşekkürlerimi sunarım.

Hayatımın her alanında bana olan inançlarını hiçbir zaman yitirmeyerek her koşulda yanımda olan, sabırları, anlayışları ve sağladıkları her türlü imkan için sevgili babam Timur SÖNMEZ’e ve biricik annem Hatice ÖZDEMİR’e teşekkürlerimi sunarım.

Lisansüstü eğitim sürecim boyunca her aşamada yanımda olan; desteğini, sabrını ve anlayışını esirgemeyen, mutlulukları ve zorlukları birlikte paylaştığım Nejla Nur ÇELİK’e teşekkürlerimi sunarım.

Yüksek lisans eğitimime önem veren ve bu süreçte gerekli esnekliği ile desteğini sağlayan, çalışmakta olduğum Ar-Ge birimi direktörü Sayın Süleyman EKŞİ başta olmak üzere MANAS Enerji A.Ş. yönetimine teşekkürlerimi sunarım.

Bu tez; yüksek lisans eğitimimin başlarında tanıştığım, çalışma ve araştırma aşamalarında akademik birikimi kadar içten ve kıymetli dostluğuyla da yanımda olan Ömer Faruk DEMİRHAN’ın değerli anısına ithaf edilmiştir. Onun bilgiye olan tutkusu, paylaşımcı yaklaşımı ve bıraktığı iz, hem bu çalışmada hem de bundan sonra üretilecek her bilimsel katkıda saygıyla yaşatılacaktır.

Güneş SÖNMEZ

Ankara, Nisan 2026

İÇİNDEKİLER

TEZ ONAY SAYFASI	
ETİK	i
ÖZET	ii
ABSTRACT	iii
TEŞEKKÜR	iv
SİMGELER VE KISALTMALAR DİZİNİ	vi
ŞEKİLLER DİZİNİ	ix
ÇİZELGELER DİZİNİ	xi
1. GİRİŞ	1
2. GENEL BİLGİLER	4
2.1 Parçacık Hızlandırıcılar ve RF Baskılayıcılar	4
2.2 Yarı iletkenler ve Schottky Diyotlar	8
2.3 Dalga Doğrultucuları	13
2.4 Analogdan Sayısala Dönüştürücüler	17
2.5 Sayısal Tasarım ve HDL	22
3. MATERYAL VE YÖNTEM	27
3.1 RF Kaynağından Gelen İşaretin Doğrultulması	28
3.1.1 RF doğrultucu devresinin KiCad ortamında tasarımı	30
3.2 İşaretin ADC Tarafından Yakalanması	33
3.3 FPGA Tabanlı Kontrol Biriminin Geliştirilmesi	36
3.3.1 ADC eşiklerinin sayısal karşılıklarının türetimi	41
3.4 Giriş İşareti Tespiti ve Darbe Üretimi	43
3.4.1 Zamanlayıcı ve reset modülü	43
3.4.2 Bellek yapısının oluşturulması ve yönetimi	44
3.4.3 İşaret tespiti gerçeştirilmesi	47
3.4.4 Bellek haritalı kayıt dosyası mimarisi	50
3.4.5 Darbe üretim modülünün tasarımı ve çalışması	53
3.4.6 Seri haberleşme protokolünün kullanılması	56
3.4.7 LVDS mimarisi ve üst hiyerarşinin geliştirilmesi	61
4. BULGULAR	65
4.1 Doğrultucu Devresinin Benzetimi	65
4.2 Vivado Benzetimi ve Ölçümler	68
4.2.1 Test 1 1.3 GHz için tespit ve tetik üretimi	69
4.2.2 Test 2 260 MHz için tespit ve tetik üretimi	71
4.2.3 Test 3 kısa gecikme ve uzun darbe üretimi	73
4.2.4 Test 4 uzun gecikme ve kısa darbe üretimi	74
4.2.5 Test 5 ve Test 6 belirlenen sınırın altında sistem tepkisi	76
4.2.6 Test 7 kısa aralıklarla iki kez tetikleme gerçeştirilmesi	78
5. TARTIŞMA VE SONUÇ	81
5.1 Tartışma	81
5.2 Sonuç	83
KAYNAKLAR	87
ÖZGEÇMİŞ	90

SİMGELER DİZİNİ

V_{rms}	: Voltage Root Mean Square
ns	: nanosaniye
ms	: milisaniye
BUFIO	: Buffer Input/Output
BUFR	: Buffer Regional
IDELAYE2	: Input Delay Element 2
IDELAYCTRL	: Input Delay Controller
ISERDESE2	: Input Serializer/Deserializer 2
SERDES	: Serializer/Deserializer
CMOS	: Complementary Metal Oxide Semiconductor
LVC MOS18	: Low Voltage CMOS 1.8 V
LVC MOS25	: Low Voltage CMOS 2.5 V
V_{Zarf}	: Zarf voltajı
V_L	: Alt kalibrasyon zarf gerilimi
V_H	: Üst kalibrasyon zarf gerilimi
C_L	: V_L 'ye karşılık gelen çıktı değeri
C_H	: V_H 'ye karşılık gelen çıktı değeri
C	: ADC'nin ürettiği sayısal çıktı
k	: ADC gerilim kodlama katsayısı
b	: Doğrusal model offseti
LOW_TH	: Karşılaştırmada alt eşik
HIGH_TH	: Karşılaştırmada üst eşik
ΔC	: ADC'nin toplam kod aralığı
$V_{FS,env}$	: ADC girişine ulaşan efektif zarf gerilimi
BUFG	: Global Clock Buffer
IBUFDS	: Differential Input Buffer
$V_{doğrultulmuş}$	: Doğrultulmuş işaretin genlik değeri

Kısaltmalar

FPGA	: Field Programmable Gate Array
ADC	: Analog to Digital Converter
RF	: Radio Frequency
UART	: Universal Asynchronous Receiver/Transmitter
LVDS	: Low Voltage Differential Signaling
PW	: Pulse Width
TB	: Testbench
MHz	: Mega Hertz
GHz	: Giga Hertz
GSPS	: Giga Sample Per Second
MSPS	: Mega Sample Per Second
ERC	: Electrical Rules Checker
PCB	: Printed Circuit Board
DRC	: Design Rules Checker
FMC	: FPGA Mezzanine Card
IDE	: Integrated Development Environment
PL	: Programmable Logic
SoC	: System on Chip
DCO	: Data Clock Output
DDR	: Double Data Rate
HDL	: Hardware Description Language
LSB	: Least Significant Bit
FPLA	: Field Programmable Logic Array
PROM	: Programlanabilir Salt Okunur Bellekler
VHDL	: VHSIC Hardware Description Language
IEEE	: Institute of Electrical and Electronics Engineers
FSM	: Finite State Machine
CLB	: Configurable Logic Block
CPLD	: Complex Programmable Logic Device
BUFG	: Global Clock Buffer

IBUFDS	: Differential Input Buffer
PLL	: Phase-Locked Loop
BRAM	: Block RAM
IP	: Intellectual Property (Core)
RTL	: Register-Transfer Level
RC	: Resistor–Capacitor (Time Constant)
RX	: Receive (Receiver)
TX	: Transmit (Transmitter)
DSP	: Digital Signal Processing
SNR	: Signal-to-Noise Ratio
AC	: Alternating Current
DC	: Direct Current
ENOB	: Effective Number of Bits
FFT	: Fast Fourier Transform
IF	: Intermediate Frequency
LUT	: Look-Up Table
SMA	: SubMiniature version A (RF connector)

ŞEKİLLER DİZİNİ

2.1	Bir RF darbe sıkıştırıcının temsili diyagramı (Syratchev, 2013)	5
2.2	Baskılayıcı sisteminin çalışma prensibi. (a) rezonans durumu ve duran dalga formu (b) Tetikleme ve biriken gücün çıkışa iletilmesi (Karslı vd., 2019)	6
2.3	RF baskılayıcı biriminin yapısal diyagramının geniş gösterimidir. Kırmızı ile işaretli birim gecikme kontrolü, kaynaktan gelen işaretin tespiti, çıkış darbe genişliği kontrolü görevlerini ayarlanabilir bir yapıda gerçekleştirildiği birimi belirtir (Karslı vd., 2019)	7
2.4	Trigatron sürücüsünün sahip olduğu modüller, giriş ve çıkışların özetle belirtilmesi (Karslı vd., 2019)	7
2.5	Mevcut durumda MCU çalışmasının gerçekleştirildiği kontrol birimidir. Bu birim tamamen FPGA ile çalışılacak şekilde tez konusu olarak çalışılmıştır. (Karslı vd., 2019)	8
2.6	a) İleri besleme durumunda tükenme bölgesinin oluşmaması ve elektron - boşluk hareketlerinin gösterimi b) Ters besleme durumunda tükenme bölgesinin oluşumu ve elektron - boşluk hareketinin kısıtlanmasıyla akımın serbest hareketinin engellenmesi (Numanoğlu, 2020)	9
2.7	Diyotun AC gerilim ile çalışma noktasında $\frac{\Delta V_d}{\Delta I_d}$ oranı (Boylestad ve Nashelsky, 2011)	10
2.8	ADC birimini oluşturan dört temel yapının temsili diyagramı (Maloberti, 2007) ...	18
2.9	Örneklenmiş sinyal spektrumunun tekrar eden yapısı ve örtüşme kavramının gösterimi (Jackson, 1989)	19
2.10	VHDL'in temel akış diyagramı (Pedroni, 2004)	24
2.11	Tam toplayıcı diyagramı (Pedroni, 2004)	25
2.12	Tam toplayıcı doğruluk tablosu (Pedroni, 2004)	25
2.13	Tam toplayıcı ile yapılabilecek devrelerin bazıları (Pedroni, 2004)	26
2.14	Mantık devrelerinin VHDL tasarımlarının cihaz içi işaret benzetim çıktıları (Pedroni, 2004)	26
3.1	Geliştirilen sistemin genel blok diyagramı	27
3.2	BAT62-02V için (BAT63 için de geçerli olan) üretici referans tekil diyot doğrultucu devresi (Mehmood ve Fang, 2018)	29
3.3	Çalışmada kullanılan LTSpice doğrultucu devresinin şematik görünümü	30
3.4	1.3 GHz için çizilmiş olan dalga doğrultucu Schottky Diyot devre şematığı	31
3.5	260 MHz için çizilmiş olan dalga doğrultucu Schottky Diyot devre şematığı	31
3.6	1.3 GHz için çizilmiş olan dalga doğrultucu Schottky Diyot PCB tasarımı	32
3.7	260 MHz için çizilmiş olan dalga doğrultucu Schottky Diyot PCB tasarımı	32
3.8	1.3 GHz için çizilmiş olan dalga doğrultucu Schottky Diyot 3B görünümü	33
3.9	260 MHz için çizilmiş olan dalga doğrultucu Schottky Diyot 3B görünümü	33
3.10	EVAL-AD9434 üstten görünüm (Analog Devices, 2011)	35
3.11	AD9434 Native FMC Card ZC706/ZED board uyumlu blok dizaynı (Analog Devices, 2024)	36
3.12	ZC706 geliştirme kartı ve üzerindeki çevre birimlerinin üstten görünümü (AMD, 2012)	37
3.13	Geliştirilen sistemin şematığına genel bakış	40
3.14	clk_rst_ctrl.vhd çalışma diyagramı	44
3.15	Signal_detector.vhd akış diyagramı	49

3.16	Reg_file.vhd modülünün okuma-yazma kontrol akışı	52
3.17	Pulse_gen.vhd modülüne ait temel FSM diyagramı	55
3.18	Seri haberleşme bloğunun RX modülüne ait FSM akışı	58
3.19	Seri haberleşme bloğunun TX modülüne ait FSM akışı	59
3.20	Seri haberleşme bloğunun komut çözümleyici modülüne ait FSM akışı	60
3.21	uart_path.vhd modülüne ait genel haberleşme FSM akışı	61
3.22	pulse_delay_top.vhd üst hiyerarşi modülüne ait genel FSM akışı	64
4.1	LTSpice üzerinde 1.3 GHz giriş işaretine göre doğrultucu devre tasarımı	66
4.2	LTSpice üzerinde 1.3 GHz giriş işaretine göre C2 kapasitörü üzerinden alınan çıkış gerilimi	66
4.3	LTSpice üzerinde 260 MHz giriş işaretine göre doğrultucu devre tasarımı	67
4.4	LTSpice üzerinde 260 MHz giriş işaretine göre C2 kapasitörü üzerinden alınan çıkış gerilimi	67
4.5	Test-1 1.3 GHz tespiti: s_adc_clk_in_p, s_adc_in_p, det_above_low_r, det_above_high_r, s_any_trigger ve karar işareti s_detected_type= "01". İki eşik arası $\Delta t \approx 10 \text{ ns}$; karar güncellemesinin darbe tamamlanması ardından yapılması	70
4.6	Test 1-Tetik üretimi: aşamasında tetiğin; 1000 ns gecikme, 200 ns darbe genişliği ile üretilmesi	71
4.7	Test-2 260 MHz tespiti: s_adc_clk_in_p, s_adc_in_p, det_above_low_r, det_above_high_r, s_any_trigger ve karar işareti s_detected_type= "10". İki eşik arası $\Delta t \approx 60 \text{ ns}$; karar güncellemesinin darbe tamamlanması ardından yapılması	72
4.8	Test 2-Tetik üretimi: 2400 ns gecikmeyle 400 ns darbe genişliği ile tetiğin üretilmesi	72
4.9	Test-3 Kısa gecikme ve uzun darbe üretimi: s_adc_clk_in_p, s_adc_in_p, det_above_low_r, det_above_high_r, s_any_trigger ve karar işareti s_detected_type= "10". İki eşik arası $\Delta t \approx 50 \text{ ns}$; karar güncellemesinin darbe tamamlanması ardından yapılması	73
4.10	Test 3-Tetik üretimi: 600 ns gecikme, 5000 ns darbe genişliği ile tetiğin üretilmesi	74
4.11	Test 4- 1.3 GHz kısa eşik aşımı: s_adc_clk_in_p, s_adc_in_p, det_above_low_r, det_above_high_r, s_any_trigger ve karar işareti s_detected_type= "01" s_delay_val= 1000, s_pulse_width= 5. İki eşik arası $\Delta t \approx 10 \text{ ns}$; karar güncellemesinin darbe tamamlanması ardından yapılması	75
4.12	Test 4-Tetik üretimi: 10000 ns gecikme, 50 ns darbe genişliği ile tetiğin üretilmesi	75
4.13	Test-5 1.3 GHz tespiti: s_adc_clk_in_p, s_adc_in_p, det_above_low_r, det_above_high_r, s_any_trigger ve karar işareti s_detected_type= "01". İki eşik arası $\Delta t \approx 25 \text{ ns}$; karar güncellemesinin darbe tamamlanması ardından yapılması	76
4.14	Test-6 260 MHz tespiti: s_adc_clk_in_p, s_adc_in_p, det_above_low_r, det_above_high_r, s_any_trigger ve karar işareti s_detected_type= "10". İki eşik arası $\Delta t \approx 35 \text{ ns}$; karar güncellemesinin darbe tamamlanması ardından yapılması	77
4.15	Test 5-Tetik üretimi: 2400 ns gecikmeyle 400 ns darbe genişliği ile tetiğin üretilmesi	77
4.16	Test 6-Tetik üretimi: 2400 ns gecikmeyle 400 ns darbe genişliği ile tetiğin üretilmesi	78
4.17	Giriş işaretinin 1.3 GHz olduğunun tespit edilmesi aşamasında FPGA içerisinde tanımlı belirli başlı modül, port ve mantık birimlerinin işaret durumları	79
4.18	Giriş işaretinin 1.3 GHz olduğunun tespit edilmesi aşamasında FPGA içerisinde tanımlı belirli başlı modül, port ve mantık birimlerinin işaret durumları	79
4.19	Test 7 aşamasında tetiğin 1000 ns gecikmeyle 200 ns darbe genişliği ile üretilmesi	80

ÇİZELGELER DİZİNİ

3.1	BAT63 diyodunun temel elektriksel karakteristikleri (Infineon, 2018)	28
3.2	FPGA giriş-çıkış pinleri, sinyal standartları ve açıklamaları	38
3.3	Tasarımın XDC kısıt dosyasına göre fiziksel pin atamaları	39
3.4	AD9434 LVDS veri hatlarının (adc_data_in_p/n[11:0]) her bir bitinin FPGA pin eşlemesi	39
3.5	Üç kademeli reset senkronizasyon boruhattının davranışı	43
3.6	Bellek eşlemeli kontrol kayıtlarının adres haritası	44
3.7	Kontrol kaydı bit alanları	45
3.8	Durum kaydı bit alanları	45
3.9	Yükselen kenar algılama koşulları	47
3.10	FSM durumları ve hızlı yol (fast-path) davranışı	48
3.11	Write-One-To-Clear (W1C) durum biti güncelleme kuralı	51
3.12	pulse_gen.vhd modülünün giriş/çıkış sinyallerinin fonksiyonel tanımları	53
3.13	pulse_gen modülünün sonlu durum makinesi (FSM) durumları	53
3.14	Tetikleme anında snapshot olarak alınan zamanlama parametreleri	54
3.15	S_WAIT durumundan çıkış anındaki eylemler	54
3.16	S_PULSE durumunun tamamlanması sonrası gerçekleştirilen işlemler	54
3.17	UART yolunda gerçekleştirilen üç temel işlem aşaması	56
3.18	UART haberleşme yoluna ait modüller ve görevleri	57
3.19	UART alıcı (RX) durum makinesi ve görevleri	57
3.20	UART verici (TX) yolunda gerçekleştirilen işlem adımları	58
3.21	UART komut çözümleyici (parser FSM) tarafından gerçekleştirilen temel işlemler	59
3.22	UART üzerinden kullanılan komut formatları (sadeleştirilmiş)	60
3.23	ADC saat ağında kullanılan saatlerin görevleri	61
3.24	ADC'den gelen LVDS veri hatlarının FPGA üzerinde işleme adımları	62
3.25	ADC verisi için kullanılan eşik karşılaştırıcılarının işlevleri	62
3.26	UART-kayıt dosyası arasındaki iki kademeli boru hattı yapısı	63
4.1	260 MHz ve 1.3 GHz frekanslarında Schottky diyot doğrultucu devresinin LTSpice benzetim sonuçları	68
4.2	260 MHz ve 1.3 GHz frekanslarında Schottky diyot doğrultucu devresinin ADC girişine sağladığı çıkış gerilimlerinin özet değerleri	68
5.1	Sonuçların sayısal ve işlevsel özeti	85

1. GİRİŞ

Parçacık hızlandırma sistemlerinde parçacığın kayıp olmaksızın belirlenen hız ve yönde kısıtlı bir zaman diliminde işlenmesi ve deneyin tamamlanması hedeflenmektedir. Bu doğrultuda RF kaynaklarından sağlanan işaretlerin, oldukça kısa sürelerde ve yüksek frekanslarda yüksek gerilim darbeleri üreterek çıkışta kontrol edilebilir bir RF işareti sağlaması gerekmektedir. Radar, enerji aktarım sistemleri ve parçacık hızlandırıcı uygulamalarında kullanılan RF baskılayıcılar, giriş işaretinden 20–40 kat daha yüksek tepe güç üretebilmektedir. Bu sistemler, yüksek kazanç, kontrol edilebilirlik ve kısa tepki süresi ile öne çıkmaktadır (Karşlı vd., 2019). Bu nedenle, RF baskılayıcıların tetikleme ve zamanlama gereksinimleri, klasik mikrodenetleyici tabanlı çözümlerin ötesinde deterministik bir kontrol mimarisi gerektirmektedir.

Yüksek güçlü RF sistemlerinde, işaretin faz, genlik ve zamanlama kararlılığı; sistem verimi ve deney güvenilirliği açısından kritik öneme sahiptir. Bu nedenle, RF enerjisinin aktarımı ve kontrolü yalnızca güç elektroniği değil, zamanlama hassasiyeti yüksek bir kontrol altyapısı da gerektirir.

RF baskılayıcılar, giriş işaretinin sağladığı RF enerjisini hapsedip kısa bir süre içerisinde tekrar serbest bırakarak çalışan güç sistemleridir. Bu sistemler; RF enerjisinin depolandığı bir kovuk yapısı, tetik anında plazma kanalı oluşturan bir trigatron anahtarı ve enerjiyi çıkış portuna aktaran bir dalga kılavuzu biriminden oluşur. Çıkış gücü, anahtarlamamanın elektriksel gücü ile sınırlıdır. Dolayısıyla, uyarılma periyodu boyunca taşınabilecek ve rezonansı kırabilecek maksimum elektrik alan, sistemin erişebileceği en yüksek çıkış gücünü belirlemektedir (S. Novikov vd., 2007). Temel olarak tetik darbesi uygulandığında trigatron ilettime geçer ve kavitenin rezonans koşulu ani bir empedans değişimiyle bozulur; böylece depolanan enerji kısa bir süre içinde çıkış portuna yüksek güçlü bir RF darbesi olarak aktarılır (Karşlı vd., 2019). Çoğunlukla, iki portlu bir dalga kılavuzuna bağlı bir hacimsel boşluk (cavity) rezonatörü kullanılır. Depolanan enerjinin çıkış portuna aktarılmasında H-tee dalga kılavuzu topolojisi tercih edilmektedir (S. Novikov vd., 2007).

RF baskılayıcı sistemlerinde giriş işaretinin algılanıp işlendiği ve belirlenen bir gecikme süresi sonunda kararlı ve kesin zamanlamalı bir yüksek gerilim darbesinin üretilebilmesi için sayısal bir kontrol sistemine ihtiyaç duyulmaktadır. Literatürdeki mevcut uygulamalarda bu kontrol yapısı, gecikme kontrolcüsü, işaret üreticisi ve darbe çıkışı sağlayan mikroişlemci tabanlı birimlerin bir-

likte kullanılmasıyla sağlanmaktadır. Tüm bu işlemlerin ayrı ayrı gerçekleştirilmesinden tek bir çatı altında toplanmasının, kontrol edilebilirliği artıracığı, sistem karmaşıklığını azaltacağı ve jitter, distorsiyon, gürültü gibi etmenleri azaltacağı öngörülmüştür.

Bu tez çalışmasında, Alanda Programlanabilir Kapı Dizileri (Field Programmable Gate Array, FPGA) tabanlı bir kontrol sistemi önerilmiş ve tasarlanmıştır. FPGA'ler donanım düzeyinde paralel işlem kabiliyeti, düşük gecikmeli zamanlama kontrolü ve yeniden programlanabilir yapıları sayesinde, yüksek frekanslı sistemlerde deterministik (kararlı ve tekrarlanabilir) kontrol olanağı sunmaktadır. Önerilen sistem; mevcut RF baskılayıcı sisteminin giriş işaretini algılayıp sınıflandırarak, kullanıcı tanımlı bir gecikmeyi işler ve yüksek gerilimli darbe üreticisini (high voltage pulser) tetiklemek üzere karakteristiği tanımlanmış bir çıkış darbesi üretmektedir. Tasarlanan bu sistem; bir Schottky diyot devresi, bir ADC birimi, bir FPGA ve seri haberleşme biriminden oluşmaktadır. Böylece, mevcut sisteme gelişmiş ve güvenilir bir sayısal kontrol birimi sağlanmıştır.

Bu çalışmada, bilgi içeren veya modüle edilmiş işaretlerin işlenmesinde kullanılan Hızlı Fourier dönüşümü (FFT) veya zero-crossing tespiti gibi karmaşık yaklaşımlar yerine, daha basit bir yöntem tercih edilmiştir. Bu yaklaşımda, RF işaretlerini V_{rms} üzerinden tespit etmek amacıyla, yüksek anahtarlama frekansı, düşük güç gereksinimi ve düşük gürültü ile çalışan Schottky diyot tabanlı bir doğrultucu devresi kullanılmıştır. İlk olarak üreticinin sağlamış olduğu referans tasarım LTSpice ortamında tasarlanıp benzetimi yapılarak incelenmiştir. Ardından tasarımın 1.3 GHz ve 260 MHz olarak iki ayrı frekans değeri özelinde uyarlanmış ve bu frekanslar için benzetimler tamamlanmıştır. Benzetimle parametrelerin belirlenmesinin ardından KiCAD üzerinde PCB ve şematik çalışmaları yapılmış ve üretilebilir bir devre kartı modeli ortaya konmuştur.

Schottky diyot devresi tarafından doğrultulan ve nanosaniye (ns) mertebesinde doyuma ulaşan RC çıkışının zaman yanıtı LTSpice üzerinde gerilim değerleri ile birlikte incelenmiş; 1.3 GHz ve 260 MHz için, aynı gerilim seviyeleri altında doyuma ulaşma sürelerine karşılık gelen zaman pencere-leri belirlenmiştir. Doğrultucu çıkışının her iki frekansta da yaklaşık 1.6–2.0 V aralığında seyrettiği görülmüş; bu nedenle, ADC tarafından güvenli biçimde örneklenebilmesi için belirleyici büyüklüğün genlikten ziyade bu zaman penceresi olduğu değerlendirilmiştir.

AD9434'ün yaklaşık 2.5 ns örnekleme periyodunun, doğrultulmuş işaretin 1.6–1.8 V aralığında kaldığı zaman penceresini yeterli örnek sayısı ile yakalayabildiği benzetimlerle doğrulanmış ve bu

nedenle AD9434 tercih edilmiştir. ADC seçiminde, üreticinin GitHub üzerinden sağladığı herkese açık referans Donanım Tasarım Dili (Hardware Design Language, HDL) kaynak kodları ve kartın piyasada hazır bulunabilir olması da etkili olmuştur.

ADC için giriş işareti olarak Schottky diyot devresi çıkışı kullanılmıştır. Bu işaret AD9434 tarafından yaklaşık 400 MSPS hızında örneklenip sayısallaştırılmakta, ardından FPGA'ye yüksek hızlı ve düşük hata oranıyla iletilmektedir. Yüksek hızlı veri iletimi için düşük gerilimli diferansiyel işaretleme (LVDS) standardı kullanılmıştır. Xilinx ZC706 FPGA kartı temel alınarak yapılan tasarım ve benzetimlerde AD9434 ile haberleşmenin LVDS standardına uygun, minimum gecikme ve kayıpla gerçekleştirilmesine yönelik çalışmalar yapılmıştır. Bu kapsamda geliştirilen sistemin tasarımı, benzetim ve donanım doğrulama adımları bir sonraki bölümde ayrıntılı biçimde sunulmuştur.

2. GENEL BİLGİLER

2.1 Parçacık Hızlandırıcılar ve RF Baskılayıcılar

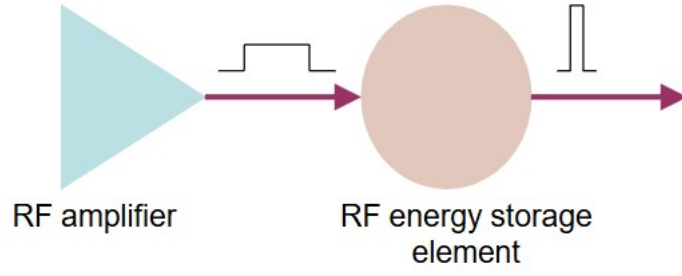
Modern parçacık hızlandırıcıları, özellikle lineer çarpıştırıcılar ve serbest elektron lazerleri (FEL), parçacıkları ışık hızına yakın rejimlere çıkarabilmek için çok yüksek elektrik alanlarına ihtiyaç duyar. Bu alanlar, tipik olarak nanosaniye mertebesindeki sürelerde MW–GW düzeyinde tepe güce ulaşan RF darbeleri ile sağlanır (Ekström, 2023). Bu güce doğrudan erişmek üzere ölçeklenen klistron tabanlı RF kaynakları, teknoloji sınırlarına yaklaşmakta ve sermaye ile işletme maliyetlerini belirgin biçimde artırmaktadır.

Darbe sıkıştırma, daha uzun süreli (mikrosaniye) orta güçte bir RF girdisinin yüksek Q faktörlü yapılar üzerinde enerji olarak biriktirilip, çok daha kısa bir sürede (nanosaniye) boşaltılması yaklaşımıyla bu darboğazı aşar. Böylece mevcut kaynaklarla tepe güç yükseltilirken, klistron sayısı ve sistem maliyeti ölçeklenmeden performans artırılabilir. Bu prensip yalnızca parçacık hızlandırıcılarda değil; radar, altimetri ve benzeri alanlarda da düşük tepe güçlü vericilerle yüksek çözünürlük ve duyarlık elde edilmesini mümkün kılar (Wang vd., 2017).

Enerji–zaman dengesi, sistemin genel verimlilik katsayısı ile doğrudan ilişkilidir. Giriş darbesi gücü P_{in} ve süresi T_{in} olan bir sinyal, T_{out} süreli bir darbe haline sıkıştırıldığında teorik tepe güç kazancı,

$$G = \frac{P_{out}}{P_{in}} = \eta \frac{T_{in}}{T_{out}}, \quad 0 < \eta \leq 1, \quad T_{out} < T_{in}. \quad (1)$$

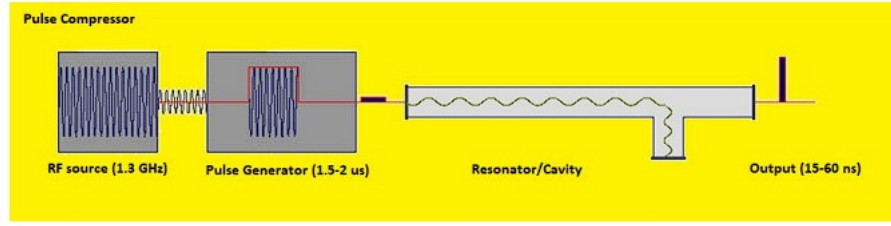
Burada η , depolama/çıkarma ve iletim hatlarındaki kayıpları içeren toplam verimdir; ideal olmayan durumlarda enerji-zaman çarpımı yaklaşık korunurken, η azaltıcı bir çarpan olarak görünür. Şekil 2.1 prensibin şematik bir temsilini sunmaktadır.



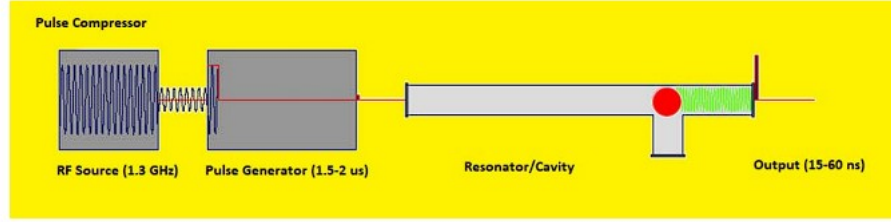
Şekil 2.1 Bir RF darbe sıkıştırıcının temsili diyagramı (Syratchev, 2013)

Darbe sıkıştırıcı mimarileri kabaca iki sınıfa ayrılır: (i) faz çevrimine dayalı *pasif* yapılar (ör. SLED) ve (ii) depolama/boşaltmayı anahtarlayan *aktif* yapılar. Pasif mimarilerde boşaltma süresi, giriş dalga biçimi ve faz çevrimiyle daha sıkı biçimde ilişkilidir; aktif mimarilerde (anahtarlama kovuk/hat, hızlı faz kaydırıcı ve/veya yüksek güçlü anahtarlarla) depolama ve deşarj daha bağımsız ayarlanabilir; tek kademede daha yüksek kazanç (G) değerleri elde edilebilir (Karslı vd., 2019; Syratchev, 2013).

RF darbe sıkıştırıcıları günümüzde yüksek güçlü radar, hızlandırıcı RF sistemleri ve HPM uygulamalarında yaygın biçimde kullanılır. Bununla birlikte, birden fazla alt-sistemin (yüksek- Q kovuk/hat, hızlı anahtarlar, faz/kuplaj kontrolü, eşzamanlama) birlikte çalışması; gecikme, faz jitter'i, genlik gürültüsü ve iletim kayıpları gibi hata kaynaklarını gündeme getirir. Bu risklerin azaltılması için yüksek deterministikliğe sahip, zamanlama açısından sağlam ve gürültü bağıışıklığı yüksek bir kontrol biriminin geliştirilmesi kritik önem taşır. Bu tez kapsamında sunulan FPGA tabanlı kontrol mimarisi, söz konusu alt-sistemlerin tetikleme, faz/zaman hizalama ve darbe şekillendirme gereksinimlerine yönelik olarak tasarlanmış ve benzetimlerle doğrulanmıştır.



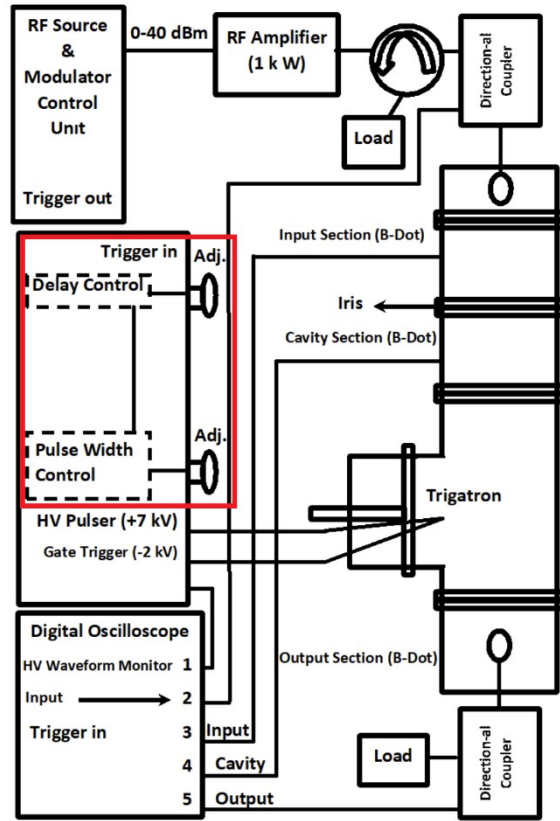
(a)



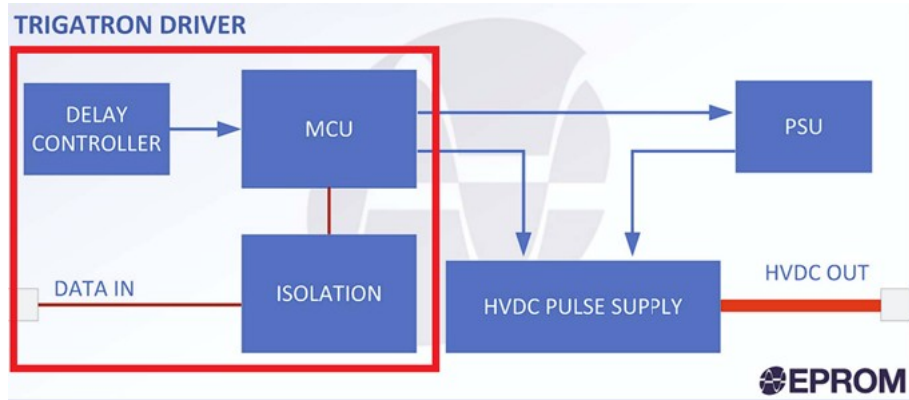
(b)

Şekil 2.2 Baskılayıcı sisteminin çalışma prensibi. (a) rezonans durumu ve duran dalga formu (b) Tetikleme ve biriken gücün çıkışa iletilmesi (Karslı vd., 2019)

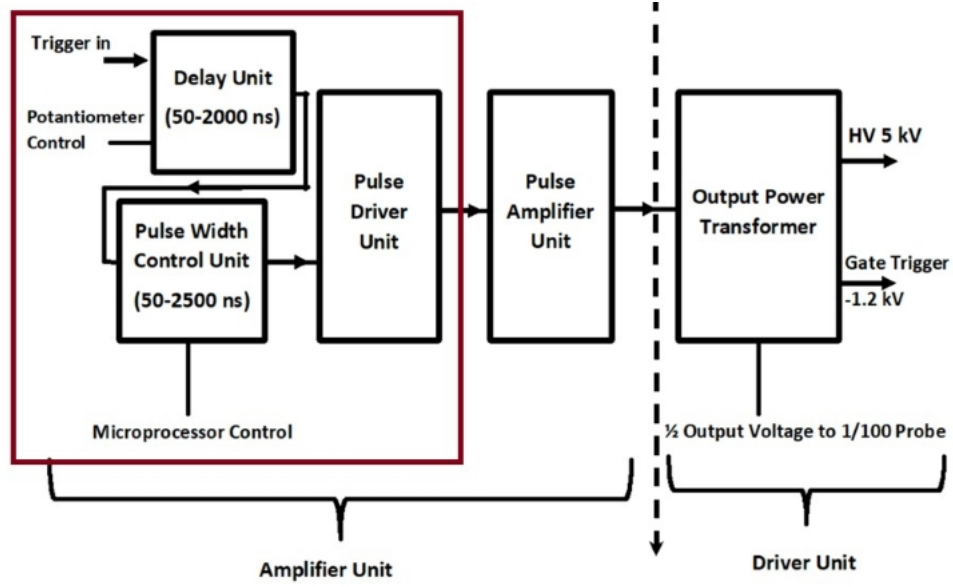
Şekil 2.2’de gösterilen boşluk rezonanslı bir RF baskılayıcı örneğinde mevcut rezonansın kısa süreli olarak bozulup yeniden sağlanmasıyla yüksek güçte bir RF çıkışı sağlanmaktadır. Burada rezonansı kırmak adına bir trigatron ateşlenmektedir. Bu trigatronun ateşlenebilmesi için, kullanılan trigatronun karakteristiğine göre bir gerilim uygulanması gerekmektedir. Bu gerilimin sağlanabilmesi için bir yüksek gerilim darbe üreticisi (high voltage pulser) kullanılmıştır. Bu yüksek gerilim darbe üreticisinin tetiklenebilmesi için ise birden fazla modülden oluşan bir alt sistem bulunmaktadır. Bu alt sistem; gecikme kontrolü, giriş işaretinin tespiti ve çıkış darbe genişliği ayarını esnek şekilde gerçekleştiren modüllerden oluşmaktadır. Genel yapı ve belirtilen alt sistem Şekil 2.3’te, Şekil 2.4’te ve Şekil 2.5’te sunulmuştur.



Şekil 2.3 RF baskılayıcı biriminin yapısal diyagramının geniş gösterimidir. Kırmızı ile işaretli birim gecikme kontrolü, kaynaktan gelen işaretin tespiti, çıkış darbe genişliği kontrolü görevlerini ayarlanabilir bir yapıda gerçekleştirildiği birimi belirtir (Karşlı vd., 2019)



Şekil 2.4 Trigratron sürücüsünün sahip olduğu modüller, giriş ve çıkışların özetle belirtilmesi (Karşlı vd., 2019)

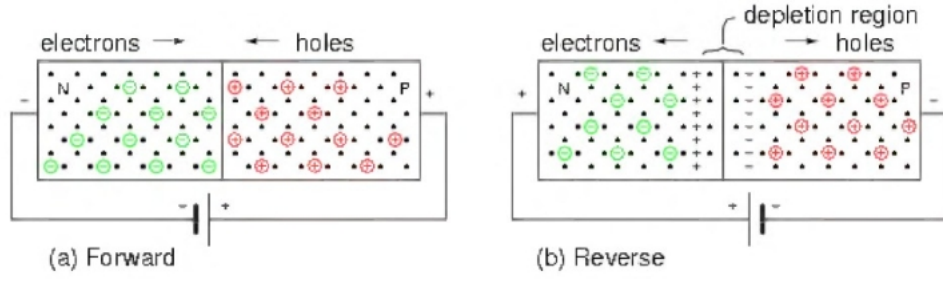


Şekil 2.5 Mevcut durumda MCU çalışmasının gerçekleştirildiği kontrol birimidir. Bu birim tamamen FPGA ile çalışılacak şekilde tez konusu olarak çalışılmıştır. (Karşı vd., 2019)

2.2 Yarı iletkenler ve Schottky Diyotlar

Genel amaçlı diyotların (standart silisyum diyotların) yapısı, periyodik tablonun 4. grubunda yer alan silisyum (Si) veya germanyum (Ge) gibi yarı iletkenlerin, 3. grup (örneğin Bor) ve 5. grup (örneğin Fosfor) elementleri ile katkılanması (doping) sonucu oluşturulur. Bu işlem sonucunda pozitif yük taşıyıcılarının (boşlular) çoğunlukta olduğu *P*-tipi ve negatif yük taşıyıcılarının (elektronlar) çoğunlukta olduğu *N*-tipi bölgeler elde edilir (Numanoğlu, 2020).

Bu iki malzeme birleştirildiğinde, birleşim yüzeyinde (junction) difüzyon akımları oluşur. *N* bölgesindeki elektronlar *P* bölgesine, *P* bölgesindeki oyuklar ise *N* bölgesine geçer. Bu yük hareketi, birleşim noktasında hareketli yük taşıyıcılarından arındırılmış, Tükenme Bölgesi (Depletion Region) adı verilen elektriksel bir alan yaratır. Bu bölge, akımın her iki yönde serbestçe akmasını engelleyen bir potansiyel bariyeri oluşturur (Numanoğlu, 2020). Bu durum Şekil 2.6’da şematik olarak gösterilmiştir.



Şekil 2.6 a) İleri besleme durumunda tükenme bölgesinin oluşmaması ve elektron - boşluk hareketlerinin gösterimi b) Ters besleme durumunda tükenme bölgesinin oluşumu ve elektron - boşluk hareketinin kısıtlanmasıyla akımın serbest hareketinin engellenmesi (Numanoğlu, 2020)

Standart bir $P-N$ diyodunda akım iletimi temel olarak Azınlık Taşıyıcı Difüzyonu ile gerçekleşir. Diyota ileri yönde gerilim uygulandığında, dış elektrik alan tükenme bölgesini daraltır ve bariyer potansiyelini yener. Bu durumda akım, Shockley Diyot Denklemi ile ifade edilir (Boylestad ve Nashelsky, 2011):

$$I_D = I_S(e^{V_D/nV_T} - 1) \quad (2)$$

I_S : Ters doyum akımı

V_D : Diyota uygulanan ileri besleme

n : Çalışma koşullarının ve fiziksel yapının fonksiyonu olan ideallik katsayısı, genellikle 1 ile 2 arası değerler almaktadır.

V_T : Isıl gerilim denir ve aşağıdaki denklemle belirtilmektedir:

$$V_T = \frac{kT}{q} \quad (3)$$

Burada:

q : Elektron yükünün büyüklüğü, $1.6 \times 10^{-19} C$

k : Boltzmann sabiti, $1.38 \times 10^{-23} J/K$

T : Kelvin cinsinden mutlak sıcaklık, $273 + ^\circ C$ (Boylestad ve Nashelsky, 2011)

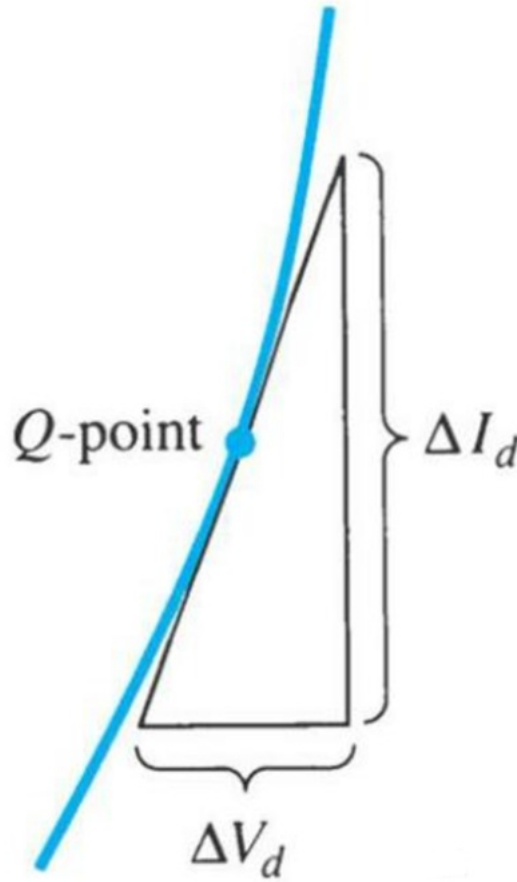
Diyot içeren bir devreye DC ve AC gerilim uygulandığında farklı karakterde direnç göstermektedir. DC gerilim uygulandığında karakteristik çalışma noktası zamanla değişmeyecektir. Böylece diyot direnci:

$$R_D = \frac{V_D}{I_D} \quad (4)$$

olarak ifade edilebilmektedir. Denklemden de görülebileceği gibi, diyottan geçen akım arttıkça DC direnci o kadar düşmektedir (Boylestad ve Nashelsky, 2011). AC gerilim uygulandığında, anlık çalışma noktaları alt ve üst değerlere kaymaktadır. Burada diyot direnci:

$$r_d = \frac{\Delta V_d}{\Delta I_d} \quad (5)$$

olmaktadır. Δ ifadesi peşi sıra gelen niceliğin sonlu değişimini ifade etmektedir. Çalışma noktası, Q , ne kadar düşükse (düşük akım veya gerilim ile) ac direnci o kadar yüksek olur (Boylestad ve Nashelsky, 2011). Bu durum Şekil 2.7’de sunulmuştur.



Şekil 2.7 Diyotun AC gerilim ile çalışma noktasında $\frac{\Delta V_d}{\Delta I_d}$ oranı (Boylestad ve Nashelsky, 2011)

P - N birleşimli diyotlarda anahtarlama hızı, birleşim bölgesinde biriken azınlık taşıyıcılarının temizlenmesi süreci olan Ters Toparlanma Süresi (t_{rr}) ile sınırlanmaktadır. Bu fiziksel sınırlama, standart p - n diyotların yüksek frekanslarda verim kaybına uğramasına yol açmaktadır (Neamen, 2011).

Schottky diyotlar, birleşiminden farklı olarak, bir metal ile bir yarı iletkenin birleşiminden oluşur. Bir metal ile N -tipi bir yarı iletken temas ettiğinde, Fermi enerji seviyeleri dengelenene kadar elektron transferi gerçekleşmektedir. Bu durum, yarı iletken tarafında enerji bantlarının bükülmesine ve metal-yarı iletken ara yüzeyinde Schottky Bariyeri (Φ_B) adı verilen bir potansiyel engelinin oluşmasına neden olmaktadır. Schottky bariyer yüksekliği (Φ_B), metalin iş fonksiyonu (Φ_M) ile yarı iletkenin elektron ilgisi (χ_S) arasındaki farkla ilişkililmektedir (Neamen, 2011):

$$\Phi_B \approx \Phi_M - \chi_S \quad (6)$$

Pratikte, arayüzeydeki kusurlar ve yüzey durumları nedeniyle “Fermi Seviyesi Kenetlenmesi” oluşur ve bariyer yüksekliği sadece malzeme özelliklerine bağlı kalmayıp, arayüzey durumlarına göre de şekillenir (Sze ve Kwok, 2006).

Schottky diyotlarda akım iletimi, diyotlardaki difüzyon mekanizmasından farklı olarak Termiyonik Emisyon (Thermionic Emission) ile gerçekleşmektedir. Çoğunluk taşıyıcıları (elektronlar), termal enerji kazanarak potansiyel bariyerini aşarak metal tarafına geçmektedir. Bariyer yüksekliğinin kT 'den çok daha büyük olduğu durumda Maxwell–Boltzmann yaklaşımı geçerli olmaktadır ve taşıyıcı dağılımı ısı dengeden geçmesi sağlanamamaktadır. Uygulanan ileri besleme gerilimi V_a , metal–yarı iletken arayüzünde bir gerilim engeli yaratmaktadır. Bu engeli aşabilen elektronların oluşturduğu iki akım yoğunluğu bileşeni tanımlanabilmektedir (Neamen, 2011). Bunlar:

$J_{s \rightarrow m}$: yarı iletkeniden metale doğru elektron akımı

$J_{m \rightarrow s}$: metalden yarı iletkene geri akan elektron akımı

Burada akım yönü elektron akışının tersi olduğu unutulmamalıdır. Toplam akım yoğunluğu bu iki bileşenin farkı olarak ifade edilir:

$$J = J_{s \rightarrow m} - J_{m \rightarrow s}. \quad (7)$$

Termoiyonik emisyonunda yarı iletkeniden metale geçen akım yoğunluğu, elektronların yeterli kinetik enerjiye ve x yönünde bariyeri aşabilecek hız bileşenine sahip olmasına bağlıdır. Bu nedenle akım ifadesi, taşıyıcı yoğunluğunun enerjiye bağlı dağılımı ve hız bileşeni üzerinden türetilir. Maxwell–Boltzmann yaklaşımı altında elektronların enerji dağılımı,

$$dn = \frac{4\pi(2m_n^*)^{3/2}}{h^3} \sqrt{E - E_c} \exp\left[-\frac{E - E_F}{kT}\right] dE \quad (8)$$

şeklinde yazılabilir (Neamen, 2011). Metal yarı iletken birleşimindeki akım yoğunluğu temel ifadesi aşağıda verilmiştir:

$$J = A^* T^2 \exp\left(-\frac{e\phi_b}{kT}\right) \left[\exp\left(\frac{eV}{kT}\right) - 1\right] \quad (9)$$

Burada;

A^* etkin Richardson sabiti,

ϕ_b ise Schottky bariyer yüksekliğidir.

Bu ifade aynı zamanda metal-yarı iletken kavşağının ters doyum akım yoğunluğunu da tanımlar:

$$J_0 = A^* T^2 \exp\left(-\frac{e\phi_b}{kT}\right) \quad (10)$$

Böylece ileri besleme genel diyot denklemine eşdeğer olarak:

$$J = J_0 \left[\exp\left(\frac{eV}{kT}\right) - 1\right] \quad (11)$$

Pratik olarak uygulamalarda, sabit olmayan bariyer yüksekliği için gerçek bariyer yüksekliği aşağıdaki gibi ifade edilebilir:

$$\phi_{bn} = \phi_{b0} - \Delta\phi \quad (12)$$

Bu denklem kullanıldığında ters doyum akımı,

$$J_0 = A^* T^2 \exp\left[-\frac{e(\phi_{b0} - \Delta\phi)}{kT}\right] \quad (13)$$

olmaktadır (Neamen, 2011).

Yüksek frekanslarda anahtarlama çalışmaları için standart yapıdaki diyotlar anahtarlama kabiliyetlerinin oldukça kısıtlı olması ve toparlanma sürelerinin uygulama alanında ihtiyaç duyulan hızda olmamasından kaynaklı düşük verimleri sebebiyle gerçekleştirilememektedir. Bu nedenle günümüzde Schottky diyotlar RF uygulamalarında genel olarak tercih edilen diyot tipidir. Schottky diyot bu uygulama alanında düşük gürültü katsayısı ve hızlı tepki süreleri ile öne çıkmaktadır. Geleneksel eklemli malzemelerden farklı olarak Schottky diyotların yapısında bir metal-yarı iletken eklemi oluşturulmaktadır. Bu yapılarda yarı iletken bölge çoğunlukla N -tipi silikondan oluşturulur.

Metal kısımda ise molibden, platin, krom veya tungsten gibi değişik metal tipleri kullanılmaktadır. Her iki malzemede de elektronlar çoğunluk taşıyıcı olmaktadır. Metalde ise çoğunluk azınlık taşıyıcılardan (boşluklardan) oluşmaktadır. Burada malzemeler üretimin ardından bir araya geldiklerinde N tipi silikondan metale elektronlar akar ve yoğunluğu artan bir taşıyıcı akımı oluşmaktadır. Ortama katılan taşıyıcıların kinetik enerjisi metalden yüksek olduğu için genellikle “sıcak taşıyıcı” olarak isimlendirilmektedirler. $P-N$ yapıdaki yarı iletkenlerde azınlık taşıyıcılar birleşme bölgesine akarlarken burada elektronlar benzer sayıda elektron içeren bir bölgeye doğru akmaktadırlar. Bu da Schottky diyotların iletimi yalnızca çoğunluk taşıyıcıları tarafından sağlanmasından dolayı benzersizleştirmektedir. Schottky diyotun aynı zamanda geri toparlanma zamanı, azınlık taşıyıcısı bulunmadığından oldukça kısadır. Bu da Schottky diyotların 20 GHz’e kadar çıkabilen yüksek hızlarda çalışabilmesine olanak sağlamaktadır (Boylestad ve Nashelsky, 2011).

2.3 Dalga Doğrultucuları

Diyot doğrultucular, AC işaretleri DC bileşenine dönüştürmek için kullanılan en temel güç elektroniği devreleridir. Uygulama alanına göre tek fazlı, çok fazlı veya yüksek frekanslı doğrultucu mimarileri tercih edilmektedir. Bu bölümde öncelikle tek fazlı doğrultucu topolojilerinin çalışma prensipleri özetlenmekte, ardından RF uygulamalarında kullanılan yüksek hızlı diyot doğrultucularına geçiş yapılmaktadır. Tek fazlı doğrultucu yapıları en basit formda yarım dalga ve tam dalga olarak sınıflandırılır. Bu yapılar, girişteki sinüzoidal işaretin yalnızca belirli bir kısmını ileterek doğrultma işlemi gerçekleştirir. Doğrultucu devrelerinin değerlendirilmesinde tipik olarak çıkış dalga biçimi, tepe ters gerilim dayanımı (PIV), diyot iletim akımı ve yük üzerindeki ortalama gerilim-akım değerleri dikkate alınır (Lee ve Chow, 2011).

Yarım dalga doğrultucu, bir tek diyot ve direnç yükünden oluşan en basit doğrultma devresidir. Trafo sekonderinden gelen sinüzoidal işaretin pozitif alternansında diyot iletime geçer ve yük üzerinde bir gerilim oluşur. Negatif alternansta diyot ters kutuplamaya girer ve iletim kesilir. Bu nedenle çıkış dalga biçimi yalnızca girişin pozitif yarılarını içerir. Yarım dalga doğrultucuda diyaodun dayanması gereken tepe ters gerilim (PIV), giriş işaretinin tepe değeri V_m ile aynıdır. Ayrıca diyaodun tekrarlanan ileri akım (I_{FRM}) değeri, yük akımının tepe değeri ile uyumlu olmalıdır. Yük akımı, ideal varsayımla V_m/R mertebesinde (Lee ve Chow, 2011).

Tam dalga doğrultma iki farklı yapı ile elde edilebilir: merkez uçlu (center-tapped) trafo ile çalışan iki diyotlu yapı veya köprü doğrultucu (bridge rectifier) yapısı. Her iki mimaride amaç, girişin hem pozitif hem de negatif alternanslarını yük üzerinden akıtacak bir yol oluşturmaktır. Merkez uçlu transformatör kullanılan yapıda her alternansta yalnızca bir diyot iletme geçer ve yük akımı aynı yönlü akmaya devam eder. Bu tasarımın önemli bir sonucu, diyotların dayanması gereken PIV değerinin yaklaşık $2V_m$ olmasıdır. Köprü doğrultucu devresinde ise dört diyotun kombinasyonu ile giriş işareti tam dalga olarak doğrultulur. Her iletim anında iki diyot seri halde iletme geçer. Bu topolojide diyotların PIV gereksinimi daha düşüktür; pratikte tepe yük akımı yine V_m/R mertebesinde. Tam dalga doğrultucu yapılar yarım dalgaya göre daha düşük dalgalanma (ripple), daha yüksek doğru akım bileşeni ve daha iyi güç iletimi sağlar. Bu nedenle düşük frekanslı güç elektroniğinde yaygın olarak tercih edilir (Lee ve Chow, 2011).

Bu temel doğrultucu yapıları, düşük frekanslı uygulamalarda ideal diyot varsayımı altında yeterli görülse de, RF veya mikrodalga frekanslarında durum önemli ölçüde değişmektedir. Diyotların ileri gerilim düşümü, seri direnci, kapasitif etkileri ve özellikle toparlanma süresi (t_{rr}), RF doğrultucuların performansını belirleyen kritik parametreler haline gelir. Bu nedenle yüksek hızlı RF uygulamalarında Schottky diyotlar standart çözüm haline gelmiştir. Diyot doğrultucuların yük üzerindeki ortalama gerilim $v_L(t)$, V_{dc} ile gösterilir ve aşağıdaki gibi tanımlanır:

$$V_{dc} = \frac{1}{T} \int_0^T v_L(t) dt \quad (14)$$

Yarım dalga doğrultucuda negatif alternans sırasında $V_L(t) = 0$ olduğundan ifade:

$$V_{dc} = \frac{1}{2\pi} \int_0^\pi V_m \sin(\omega t) d(\omega t) \quad (15)$$

buradan,

$$\text{Yarım dalga: } V_{dc} = \frac{V_m}{\pi} = 0.318V_m \quad (16)$$

Tam dalga doğrultucuda pozitif ve negatif alternansların her ikisi de doğrultulduğundan:

$$V_{dc} = \frac{1}{\pi} \int_0^\pi V_m \sin(\omega t) d(\omega t) \quad (17)$$

ve sonuç,

$$\text{Tam dalga: } V_{dc} = \frac{2V_m}{\pi} = 0.636V_m \quad (18)$$

Yük direnci R saf direnç olduğundan, yük ilişkisi aşağıdaki gibi tanımlanır:

$$I_{dc} = \frac{V_{dc}}{R} \quad (19)$$

Yükün RMS akımı ise:

$$I_L = \frac{V_L}{R} \quad (20)$$

Yarım dalga doğrultucu için:

$$I_{dc} = \frac{0.318V_m}{R} \quad (21)$$

$$I_L = \frac{0.5V_m}{R} \quad (22)$$

Tam dalga için:

$$I_{dc} = \frac{0.636V_m}{R} \quad (23)$$

$$I_L = \frac{0.707V_m}{R} \quad (24)$$

Doğrultma oranı, doğrultucunun etkinliğini ifade eder ve aşağıdaki gibi tanımlanır:

$$\sigma = \frac{P_{dc}}{P_L} = \frac{V_{dc}I_{dc}}{V_L I_L} \quad (25)$$

Yarım dalga doğrultucu:

$$\sigma = \frac{(0.318V_m)^2}{(0.5V_m)^2} = 40.5\% \quad (26)$$

Tam dalga doğrultucu:

$$\sigma = \frac{(0.636V_m)^2}{(0.707V_m)^2} = 81\% \quad (27)$$

Form faktörü, RMS değer in ortalama değere oranıdır:

$$FF = \frac{V_L}{V_{dc}} \quad \text{veya} \quad FF = \frac{I_L}{I_{dc}} \quad (28)$$

Yarım dalga:

$$FF = \frac{0.5V_m}{0.318V_m} = 1.57 \quad (29)$$

Tam dalga:

$$FF = \frac{0.707V_m}{0.636V_m} = 1.11 \quad (30)$$

Dalgalanma katsayısı RF, AC bileşenin RMS değerinin DC bileşene oranıdır:

$$RF = \frac{V_{ac}}{V_{dc}} \quad (31)$$

AC bileşenin değeri:

$$V_{ac} = \sqrt{V_L^2 - V_{dc}^2} \quad (32)$$

Genel ifade:

$$RF = \sqrt{\left(\frac{V_L}{V_{dc}}\right)^2 - 1} = \sqrt{FF^2 - 1} \quad (33)$$

Yarım dalga için:

$$RF = \sqrt{1.57^2 - 1} = 1.21 \quad (34)$$

Tam dalga için:

$$RF = \sqrt{1.11^2 - 1} = 0.482 \quad (35)$$

Schottky diyotlar, ileri doğru kutuplama altında akım–gerilim ilişkileri doğrusal olmayan bir karakter sergiler. Diyotun küçük-sinyal davranışını inceleyebilmek için doğrusal olmayan akım ifadesi, çalışma noktası V_0 etrafında türev alınarak açılım yapılabilir. Diyotun diferansiyel iletkenliği:

$$G_d = \left. \frac{dI}{dV} \right|_{V_0} \quad (36)$$

şeklinde tanımlanır. Akımın ikinci türevinin alınmasıyla:

$$\left. \frac{d^2I}{dV^2} \right|_{V_0} = \alpha^2 I_s e^{\alpha V_0} = \alpha^2 G_d = G'_d \quad (37)$$

elde edilir (Pozar, 2014). Böylece diyot akımı küçük-sinyal açılımı ile yaklaşık olarak:

$$I(V) \approx I_0 + v G_d + \frac{v^2}{2} G'_d + \dots \quad (38)$$

şeklinde ifade edilebilir. Tipik uygulamalarda küçük-sinyal terimleri diyot davranışını modellemek için yeterli doğruluk sağlar (Pozar, 2014).

RF uygulamalarında diyotun eşdeğer devresine seri direnç R_s , temas saçılmalarına bağlı seri en-

düktans L_s ve geçiş kapasitesi C_j dahil edilir. Bu elemanlar diyotun yüksek frekans tepkisini belirler ve özellikle doğrultucu devre performansını etkiler. Bir RF sinyalinin DC bileşenine dönüştürülmesi amacıyla Schottky diyotlar yaygın biçimde kullanılır (Pozar, 2014). Diyot girişine uygulanan toplam gerilim:

$$V(t) = V_0 + v_0 \cos(\omega t) \quad (39)$$

şeklindedir. Bu ifade küçük-sinyal açılımında yerine konulduğunda diyot akımı:

$$I(t) = I_0 + v_0 G_d \cos(\omega t) + \frac{v_0^2}{2} G'_d \cos^2(\omega t) \quad (40)$$

olarak yazılabilir. Trigonometrik açılım ile:

$$I(t) = I_0 + \frac{v_0^2}{4} G'_d + v_0 G_d \cos(\omega t) + \frac{v_0^2}{4} G'_d \cos(2\omega t) \quad (41)$$

elde edilir. Bu sonuç, diyotun girişteki RF sinyalinden hem temel frekans hem de ikinci harmonik bileşen ürettiğini ve aynı zamanda doğrultma etkisiyle DC bileşen oluşturduğunu göstermektedir. DC bileşen,

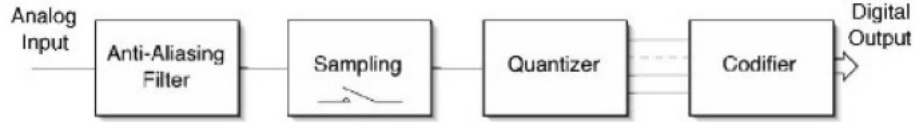
$$I_{DC} = I_0 + \frac{v_0^2}{4} G'_d \quad (42)$$

ifadesiyle verilir ve diyotun RF–DC çevirim verimliliğini belirleyen temel parametrelerden biridir. Bu özellikleri nedeniyle Schottky diyotlar, düşük bariyer gerilimi ve çok kısa toparlanma süreleri sayesinde yüksek frekans doğrultma devrelerinde yaygın olarak tercih edilmektedir (Pozar, 2014).

2.4 Analogdan Sayısala Dönüştürücüler

ADC'ler, analog sinyalleri örnekleme ve kuantizasyon işlemleri aracılığıyla sayısal verilere dönüştüren elektronik birimlerdir. Analog sinyaller, önce zamana göre örneklenerek daha sonra genlik düzeylerine kuantize edilmek suretiyle dijital değerlere dönüştürülür. Bu dijital veriler, mikrokontrollörler, işlemciler ve FPGA tabanlı sayısal sistemler tarafından işlenebilir hale gelir. Bazı sayısal işlemciler ve mikrodenetleyiciler bünyelerinde entegre ADC modülleri barındırırken, daha yüksek örnekleme hızı veya çözünürlük gerektiren uygulamalarda harici, yüksek performanslı ADC çözümleri tercih edilmektedir.

Bir ADC temelde dört ana bloktan oluşur: girişte analog anti-aliasing filtresi, örnekleme bloğu, kuantizasyon birimi ve dijital kodlama aşaması (Maloberti, 2007). Bu dört temel bileşenin görevleri ve veri akışı Şekil 2.8’de gösterilmiştir.



Şekil 2.8 ADC birimini oluşturan dört temel yapının temsili diyagramı (Maloberti, 2007)

Örnekleme, ADC’nin ilk ve en kritik aşamasını oluşturur ve giriş sinyalinin T_s örnekleme periyodu ile belirlenen zaman aralıklarında alınan örnek değerler haline dönüştürülmesi esasına dayanır. İdeal bir örnekleyici, giriş sinyalini T_s örnekleme periyodu ile zaman ekseninde yerleştirilmiş bir Dirac darbe dizisiyle çarpar ve örneklenmiş sürekli-zaman işaretini:

$$x_s(t) = \sum_{n=-\infty}^{\infty} x(t) \delta(t - nT_s) \quad (43)$$

şeklinde temsil edilen örneklenmiş sürekli-zaman işaretini elde eder (Zhang, 2009). Bu modele göre ayrık zaman dizisinin sürekli-zamanlı temsili $\hat{a}(t)$, ağırlıklı bir Dirac darbe dizisi olarak:

$$\hat{a}(t) = \sum_{n=-\infty}^{\infty} a(n) \delta(t - nT) \quad (44)$$

şeklinde yazılır. Bu ifadenin Fourier dönüşümü:

$$\hat{A}(j\omega) = \int_{-\infty}^{\infty} \hat{a}(t) e^{-j\omega t} dt \quad (45)$$

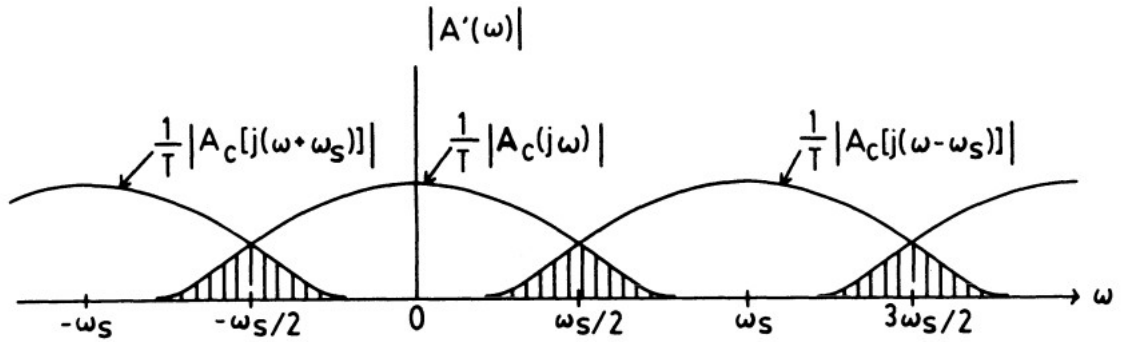
olup örnekleme sonrası frekans alanındaki temel sonucu ortaya çıkarır: örnekleme sonrası oluşan spektrum, giriş spektrumunun $\omega_s = 2\pi/T$ aralığında periyodik olarak tekrar eden kopyalarının toplamı hâlinindedir (Jackson, 1989). Bu yaklaşım, örnekleme işleminin frekans alanındaki etkilerinin analitik olarak incelenebilmesine olanak tanır.

Örneklenmiş sinyalin spektrumu:

$$X_s(\omega) = \frac{1}{T} \sum_{k=-\infty}^{\infty} X_c(\omega - k\omega_s) \quad (46)$$

şeklinde. Bu ilişki, örnekleme işleminin giriş spektrumunu ω_s , $2\omega_s$, $3\omega_s$ gibi noktalarda yinelenen kopyalar halinde yeniden ürettiğini gösterir (Jackson, 1989).

Eğer bu spektrum kopyaları $\pm\omega_s/2$ sınırında üst üste binmeye başlarsa örtüşme (aliasing) oluşur; bu durumda yüksek frekans bileşenleri daha düşük frekanslarda hatalı biçimde gözlenir (Oppenheim vd., 1998). Örtüşmenin temel nedeni, örnekleme hızının sinyal bant genişliğinden düşük seçilmesidir. Bu durum Şekil 2.9'da kavramsal olarak gösterilmektedir (Jackson, 1989).



Şekil 2.9 Örneklenmiş sinyal spektrumunun tekrar eden yapısı ve örtüşme kavramının gösterimi (Jackson, 1989)

Örnekleme Teoremi (Nyquist–Shannon), bir sürekli zamanlı sinyalin örneklerinden tamamen yeniden elde edilebilmesi için örnekleme frekansının sinyal bant genişliğinin en az iki katı olması gerektiğini söyler:

$$f_s > 2f_B. \quad (47)$$

$$\Omega_s = \frac{2\pi}{T} \geq 2\Omega_N \quad (48)$$

Sürekli-zamanlı bir sinyalin örneklenmesi, yalnızca zaman alanında periyodik darbe dizisi ile çarpma işlemi değildir; aynı zamanda frekans düzleminde sinyalin spektrumunun periyodik olarak yinelenmesi anlamına gelir. Sürekli sinyal $x_c(t)$ örneklendiğinde, ortaya çıkan örneklenmiş sinyalin spektrumu $X_s(j\Omega)$, orijinal sinyal spektrumunun Ω_s aralığında kopyalanmış hallerinin toplamı şeklinde ifade edilir (Oppenheim vd., 1998):

$$X_s(j\Omega) = \sum_{n=-\infty}^{\infty} x_c(nT)e^{-j\Omega Tn}. \quad (49)$$

Bu ifade kullanılarak, örneklenmiş sinyalin sürekli-zaman Fourier dönüşümünün, ayrık-zamanlı sinyali temsil eden $X(e^{j\omega})$ ile ilişkisi kurulabilir. Bu bağıntı aşağıdaki biçimde verilebilir (Oppenheim vd., 1998):

$$X(e^{j\omega}) = \frac{1}{T} \sum_{k=-\infty}^{\infty} X_c\left(j\left(\frac{\omega}{T} - \frac{2\pi k}{T}\right)\right) \quad (50)$$

Ayrık-zamanlı işaret aşağıdaki şekilde tanımlanır:

$$x[n] = x_c(nT) \quad (51)$$

eşitliği ve

$$X(e^{j\omega}) = \sum_{n=-\infty}^{\infty} x[n]e^{-j\omega n} \quad (52)$$

eşitliği kullanılırsa:

$$X_s(j\Omega) = X(e^{j\omega})|_{\omega=\Omega T} = X(e^{j\Omega T}). \quad (53)$$

elde edilir. Neticesinde:

$$X(e^{j\Omega T}) = \frac{1}{T} \sum_{k=-\infty}^{\infty} X_c(j(\Omega - k\Omega_s)) \quad (54)$$

veya

$$X(e^{j\omega}) = \frac{1}{T} \sum_{k=-\infty}^{\infty} X_c\left(j\left(\frac{\omega}{T} - \frac{2\pi k}{T}\right)\right) \quad (55)$$

eşitliklerine ulaşılır (Oppenheim vd., 1998). Bu ilişki, ayrık-zamanlı spektrumun, sürekli-zamanlı spektrumun $\pm k\Omega_s$ kaydırılmış kopyalarının toplamı olduğunu açıkça göstermektedir. Dolayısıyla örnekleme işlemi sırasında $\Omega_s = 2\pi/T$ örnekleme açısal frekansı, spektrumun tekrarlandığı temel periyodu belirler. Eğer özgün sinyal $X_c(j\Omega)$ sadece Ω_b bant genişliği içerisinde sıfırdan farklıysa ve $\Omega_s > 2\Omega_b$ koşulu sağlanırsa, spektrum kopyaları üst üste binmez ve örtüşme oluşmaz. Bu koşul

Nyquist kriteri olarak bilinir (Jackson, 1989; Oppenheim vd., 1998):

$$\Omega_s \geq 2\Omega_b \quad (56)$$

Tersi durumda, yani örnekleme frekansı sinyalin bant genişliğinin iki katından düşük olduğunda, spektral kopyalar üst üste gelerek yüksek frekans bileşenlerinin düşük frekansların üzerine örtüşmesine neden olur. Bu durum, geri dönüşümsüz bilgi kaybına yol açar ve örneklenen sinyalden orijinal sürekli sinyalin yeniden elde edilmesini imkansız hale getirir. Bu nedenle her ADC sisteminde, örnekleme öncesi sinyal mutlaka bir örtüşme önleyici filtreden geçirilmelidir. Bu filtre, giriş spektrumunu Ω_b ile sınırlandırarak örtüşme riskini ortadan kaldırır (Oppenheim vd., 1998). Alçak geçiren bir sinyal için bu kriter doğrudan uygulanırken, bant-geçiren bir sinyalin örneklelenmesi daha esnek bir koşula sahiptir. Bant geçiren bir sinyalin taşıdığı spektral bant (ω_1, ω_2) aralığındaysa ve bu bant, örnekleme frekansı ω_s 'nin uygun katları arasında kalıyorsa doğrudan örnekleme örtüşme oluşturmada yapılabilir (Jackson, 1989). Bu prensip özellikle AD9434 gibi yüksek hızlı ADC'lerde RF işaretlerinin doğrudan örnekleme için önemlidir.

Örnekleme öncesinde kullanılan analog örtüşme önleyici (anti-aliasing) filtresi, spektrumun istenmeyen yüksek frekans bileşenlerini bastırarak kopyaların üst üste binmesini engeller (Maden, 2023). Bu filtreleme adımı özellikle yüksek hızlı ADC uygulamalarında zorunludur. AD9434 gibi yüksek bant genişlikli ADC'lerde giriş filtresinin tasarımı, doğrultucu çıkışının zarf yapısının zaman çözünürlüğünü korumada belirleyici rol oynar.

Örnekleme sonrası ADC ikinci aşama olan kuantizasyonda çalışır. Kuantizasyon, sürekli genlikli sinyalin belirli seviyelere bölünmesidir. Bir ADC'nin LSB değeri,

$$\Delta = \frac{V_{FS}}{2^N} \quad (57)$$

şeklinde ifade edilir ve ADC'nin algılayabileceği en küçük gerilim değişimini tanımlar (Dağdibi, 2020). Çözünürlük arttıkça Δ küçülür; dolayısıyla kuantizasyon hatası azalır ve dijital çıkış analog sinyale daha yakın olur.

Bu tezde kullanılan AD9434 500 MSPS örnekleme hızına sahip bir pipeline ADC'dir (Analog Devices, 2022). Bu hız, RF doğrultucu devresinden elde edilen zarf işaretinin zaman çözünürlüğünü karşılayacak düzeydedir. Pipeline mimarileri yüksek örnekleme hızlarına elverişlidir; ancak ardı-

şık alt evreler nedeniyle yapısal bir gecikme barındırırlar.

Örnekleme saatindeki jitter, giriş bant genişliği ve front-end filtresinin özellikleri ise ADC'nin genel performansını doğrudan etkileyen kritik parametrelerdir. AD9434 gibi yüksek hızlı ADC'lerin tasarımında örnekleme kuramının frekans alanındaki bu temel ilkeleri, örtüşme riskini minimize etmek ve doğrultulan RF enerjisinin FPGA tarafından doğru zamanlanabilmesi için sistem mimarisinin merkezinde yer almaktadır.

2.5 Sayısal Tasarım ve HDL

Programlanabilir mantık fikrinin temeli, 1970'lerdeki PROM tabanlı yapılarla ortaya çıkmıştır. PROM'lar yalnızca veri saklama amacı taşısa da, adres hatlarının girişleri ve veri hatlarının çıktı fonksiyonlarını temsil etmesi sayesinde kombinasyonel mantığı doğrudan haritalayabilmekteydi (Brown ve Vranesic, 2014). Ancak bu yöntem, gerekli bellek kapasitesinin 2^n oranında büyümesi nedeniyle büyük girişli fonksiyonlarda hızla ölçeklenemez hale geliyor ve sigorta tabanlı PROM'ların yalnızca bir kez programlanabilmesi geliştirme sürecini maliyetli kılıyordu (Digilent, 2021).

Bu sorunları hafifletmek amacıyla Signetics'in 1975'te tanıttığı FPLA mimarisi, hem AND hem OR düzlemlerinin programlanabildiği iki kademeli bir yapı sunarak yalnızca ihtiyaç duyulan ürün terimlerinin tanımlanabilmesine olanak sağlamıştır (Brown ve Vranesic, 2014; Trimberger, 2015). Bu esnekliğin beraberinde getirdiği yüksek direnç ve parazitik kapasitans değerleri hız kısıtlarına yol açmış; üretim ve test süreçlerinin karmaşıklığı da ticari yaygınlığı sınırlandırmıştır. Bu nedenle FPLA'lar, CPLD ve FPGA mimarilerine zemin hazırlayan tarihsel bir ara adım olarak kalmıştır (Trimberger, 2015; Maxfield, 2004).

1980'lerin ortalarında Moore Yasası'nın etkisiyle transistör yoğunluğu hızla artarken, sektörde hakim yaklaşım silikon alanını mümkün olduğunca verimli kullanmak ve transistör sayısını en aza indirerek maliyetleri düşürmektir. Ross Freeman, üretim teknolojilerinin ucuzlamasıyla birlikte transistörlerin gelecekte ekonomik açıdan “bol” bir kaynak haline geleceğini öngörmüş ve tasarım esnekliği sağlamak amacıyla daha fazla transistör kullanımının rasyonel olacağını savunmuştur. Freeman'ın bu bakışı, yeniden yapılandırılabilir donanım fikrinin temellerini oluşturarak modern

FPGA mimarisine giden yolu açmıştır (Trimberger, 2015; Maxfield, 2004).

FPGA'ler, düzenli ve tekrarlayan bir yongalayıcı mimarisi üzerine inşa edilen, yüksek derecede esnek programlanabilir donanım platformlarıdır. Modern FPGA mimarisi üç temel bileşenin bütünsel çalışmasına dayanır: programlanabilir mantık blokları, yönlendirilebilir ara bağlantı ağı ve belirli işlemlere ayrılmış özel fonksiyon blokları (Kuon ve Rose, 2007; Trimberger, 2015).

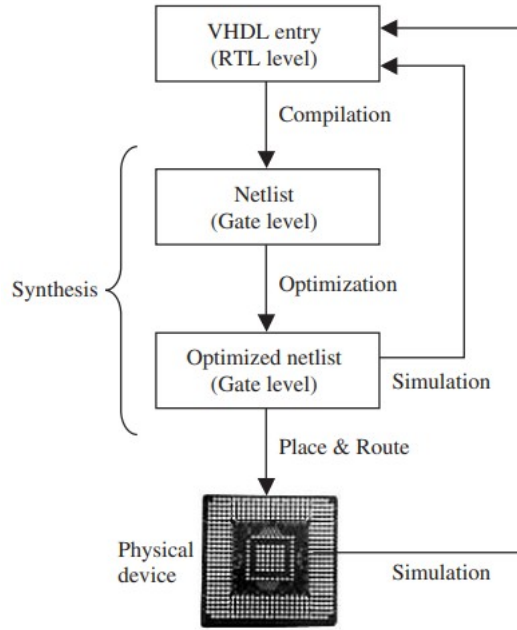
FPGA mimarisinin çekirdeğini, üreticiye göre Configurable Logic Block (CLB) ya da Logic Array Block (LAB) olarak adlandırılan yapıtaşları oluşturur. Bu blokların temel işlevsel birimi, k girişli Look-Up Table (LUT) yapısıdır. Literatüre göre bir LUT, 2^k adet SRAM hücresinden ve bu hücreleri seçen çoklayıcı (MUX) ağından oluşur. Giriş değişkenleri MUX seçme hatlarını kontrol ederek LUT'un k boyutlu herhangi bir Boole fonksiyonunu gerçekleştirmesini sağlar (Brown ve Rose, 1992; Betz, vd., 1999).

1990'ların sonundan 2000'lerin ortasına kadar yapılan kapsamlı çalışmalar, özellikle Rose ve Brown tarafından yürütülen araştırmalar, alan-verimlilik dengesi bakımından 4 girişli LUT mimarisinin optimal bir noktayı temsil ettiğini göstermiştir. Ancak CMOS teknolojilerinin küçülmesiyle birlikte tasarımlarda baskın gecikme kaynağı mantık gecikmesinden ziyade ara bağlantı gecikmesi haline gelmiştir. Bu durum, modern FPGA ailesinde LUT boyutunun 6 girişli yapılara (LUT6) taşınmasını teşvik etmiş; daha yüksek giriş sayısı, çok seviyeli mantık derinliğini azaltarak yönlendirme kaynaklarının kullanımını iyileştirmiştir (Ahmed ve Rose, 2004; Kuon ve Rose, 2007).

Gelişmiş FPGA mimarileri yalnızca LUT tabanlı mantık bloklarından oluşmaz; yüksek performanslı DSP blokları, çift portlu blok RAM modülleri, yüksek hızlı I/O arabirimleri ve PCIe/SerDes gibi gömülü IP bloklarıyla donatılmıştır. Bu özel fonksiyon birimleri, hem yüksek yoğunluklu hesaplama gerektiren uygulamalarda verimlilik sağlar hem de genel amaçlı LUT yapılarının yükünü azaltır (Trimberger, 2015; Xilinx, 2025).

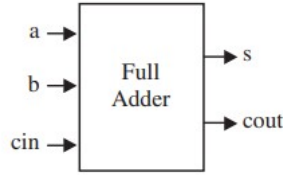
VHDL, dijital sistemlerin davranışsal ve yapısal özelliklerini tanımlamak için geliştirilmiş bir donanım tanımlama dilidir. Dil, 1980'li yıllarda ABD Savunma Bakanlığı'nın VHSIC programı kapsamında standardizasyon ihtiyacından doğmuş, ilk olarak VHDL-87, daha sonra IEEE,1076 standardı olarak yayımlanmıştır. Ardından IEEE,1164 gibi ek standartlarla çok-değerli mantık desteği sağlanarak modern kullanım alanı genişletilmiştir (Bhasker, 1999; Pedroni, 2004).

VHDL'nin temel avantajı, donanımı farklı soyutlama seviyelerinde modelleyebilmesidir. Bir tasarım, yalnızca giriş-çıkış arayüzlerini tanımlayan bir entity ve davranışsal veya yapısal gerçeklemeyi açıklayan bir architecture bölümü ile ifade edilir. Bu yapı, dilin hem simülasyon hem de sentez için uygun olmasını sağlar. VHDL aynı zamanda eşzamanlı (concurrent) yürütme modeline sahip olduğundan fiziksel devrelerin doğal paralellliğini doğru şekilde temsil eder. Ayrıca davranışsal (behavioral), veri akışı ve yapısal (structural) olmak üzere üç temel tanımlama stilini destekler (Pedroni, 2004). VHDL tasarımlarının temel akış diyagramları Şekil 2.10'da sunulmuştur.



Şekil 2.10 VHDL'in temel akış diyagramı (Pedroni, 2004)

VHDL ile gerçekleştirilen donanım tasarımlarında, mantık yapılarının çalışmaları LUT yapısında gerçekleştirilmektedir. Bu yapılar, standart mantık kapılarının karmaşık olarak temelden gelişmiş giriş ve çıkış işaretlerinin tanımlanmasıyla gerçekleştirilir. Bu duruma örnek olarak genel tanımda bir tam toplayıcı (full-adder) diyagramı Şekil 2.11'de ve diyagram çıktısı olan doğruluk tablosu (truth table) Şekil 2.12'de sunulmuştur.

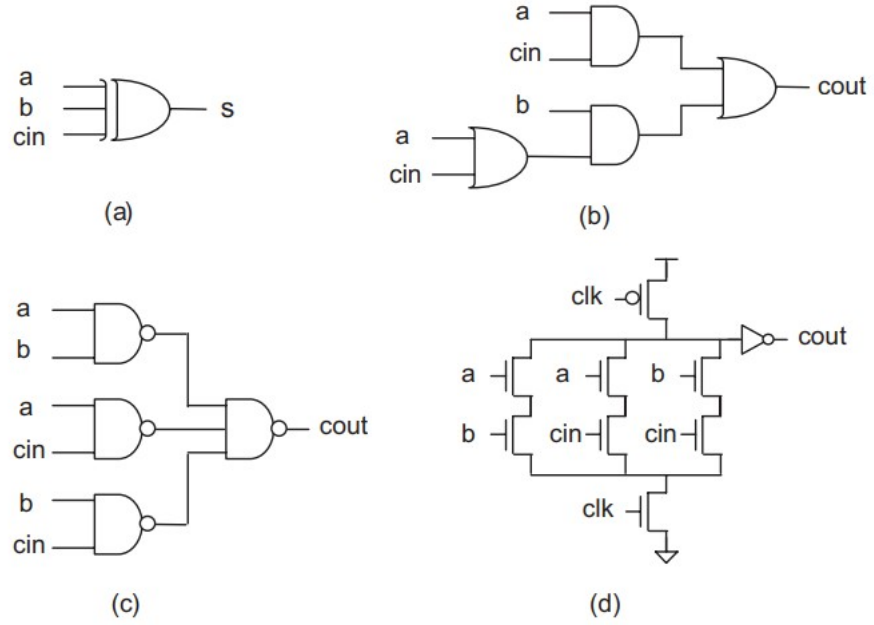


Şekil 2.11 Tam toplayıcı diyagramı (Pedroni, 2004)

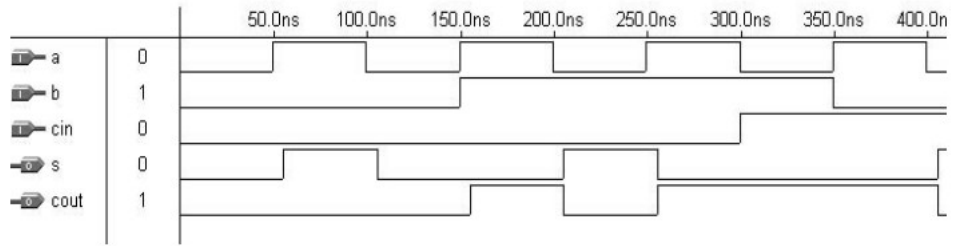
a	b	cin	s	cout
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

Şekil 2.12 Tam toplayıcı doğruluk tablosu (Pedroni, 2004)

Bu mantık devrelerinin incelenmesi çeşitli geliştirme ortamlarında cihaz içi işaret giriş ve çıkışlarının benzetimi yapılabilmesi amacıyla osiloskop benzetimi ile gerçekleştirilebilmektedir. Tipik bir VHDL tasarım süreci; RTL seviyesinde kodlama, sentez, kapı düzeyi optimizasyonu, yerleştirme, yönlendirme ve son simülasyon aşamalarından oluşur. Bu süreci yürütmek için Quartus, Vivado, Synplify, Leonardo Spectrum ve ModelSim gibi EDA araçları yaygın olarak kullanılmaktadır (Bhasker, 1999). Örnek mantıksal tasarımı Şekil 2.13'te ve benzetim ortamında işaretlerin görüntülenmesi Şekil 2.14'te sunulmuştur.



Şekil 2.13 Tam toplayıcı ile yapılabilecek devrelerin bazıları (Pedroni, 2004)



Şekil 2.14 Mantık devrelerinin VHDL tasarımlarının cihaz içi işaret benzetim çıktıları (Pedroni, 2004)

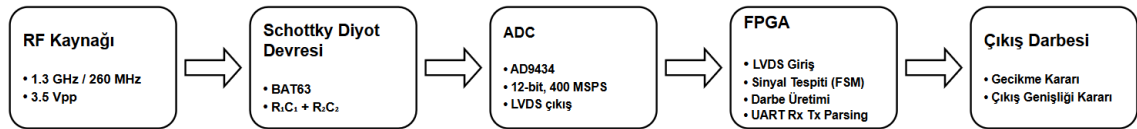
VHDL'nin standartlaşmış, taşınabilir ve teknoloji bağımsız yapısı; FPGA, CPLD ve ASIC tasarımlarında uzun yıllardır tercih edilmesini sağlamaktadır. Bu nedenle VHDL, modern dijital tasarım mühendisliğinde hem akademik hem de endüstriyel uygulamalarda temel bir araç konumundadır.

3. MATERYAL VE YÖNTEM

Bu bölümde, RF baskılayıcı sistemlerinde giriş işaretinin tespiti ve kontrollü darbe üretimi için geliştirilen FPGA tabanlı kontrol mimarisinin tasarım yaklaşımı sunulmaktadır. Çalışma, hem analog hem de sayısal katmanları bir arada içeren karma (mixed-signal) bir yapıya sahiptir. Yöntem, RF kaynağından alınan yüksek frekanslı işaretin doğrultulması, zarf işaretinin yüksek hızlı bir ADC ile örneklenerek sayısallaştırılması, FPGA üzerinde eşik tabanlı bir tespit algoritması ile sınıflandırılması ve son olarak programlanabilir gecikmeli darbe üretimi adımlarından oluşmaktadır.

Tasarım ve doğrulama sürecinde LTSpice, KiCad ve Xilinx Vivado yazılımları birlikte kullanılmıştır. Analog doğrultucu katmanı ve zarf işareti, LTSpice üzerinde devre benzetimleriyle incelenmiş; baskı devre (PCB) tasarımı KiCad ortamında gerçekleştirilmiş; yüksek hızlı ADC–FPGA arayüzü, eşik tabanlı tespit algoritması ve darbe üretim mantığı ise Xilinx Vivado ortamında VHDL kullanılarak tasarlanmış ve doğrulanmıştır.

Sistemin donanımsal bileşenleri; BAT63 Schottky diyotu tabanlı doğrultucu devresi, AD9434 yüksek hızlı ADC modülü ve Zynq–7000 tabanlı Xilinx ZC706 FPGA geliştirme kartından oluşmaktadır. Kullanılan diyotun teknik karakteristikleri (Infineon, 2018), ADC’nin yüksek hızlı LVDS çıkış mimarisi (Analog Devices, 2022) ve FPGA üzerindeki ISERDESE2 tabanlı seri-paralel dönüşüm yapıları (Xilinx, 2019) ilgili alt başlıklarda ayrıntılı biçimde tartışılmaktadır. Sistemin üst seviye blok yapısı Şekil 3.1’de sunulmuştur. Bu şema, RF kaynağından başlayarak Schottky diyot tabanlı doğrultma, AD9434 ile örnekleme, FPGA üzerinde sinyal tespiti ve programlanabilir gecikmeli darbe üretimi adımlarını özetlemektedir.



Şekil 3.1 Geliştirilen sistemin genel blok diyagramı

3.1 RF Kaynağından Gelen İşaretin Doğrultulması

Yüksek frekanslı RF işaretlerinin zarfının elde edilmesinde Schottky diyot tabanlı doğrultucular yaygın olarak kullanılmaktadır. Schottky diyotlar, düşük ileri gerilim düşümü, hızlı toparlanma süreleri ve düşük parazitik kapasitansları sayesinde özellikle gigahertz mertebesindeki uygulamalarda tercih edilmektedir (Lee ve Chow, 2011). Bu çalışmada doğrultucu elemanı olarak BAT63 Schottky diyonu seçilmiştir. BAT63'ün maksimum ters dayanım geriliminin ($V_R = 4$ V) görece düşük olması nedeniyle RF giriş işareti doğrultma öncesinde zayıflatılarak yaklaşık 3.5 V tepe genliğine indirgenmiştir. Böylece hem diyotun güvenli çalışma aralığı korunmuş hem de ADC giriş dinamik aralığıyla uyumlu bir zarf gerilimi elde edilmiştir.

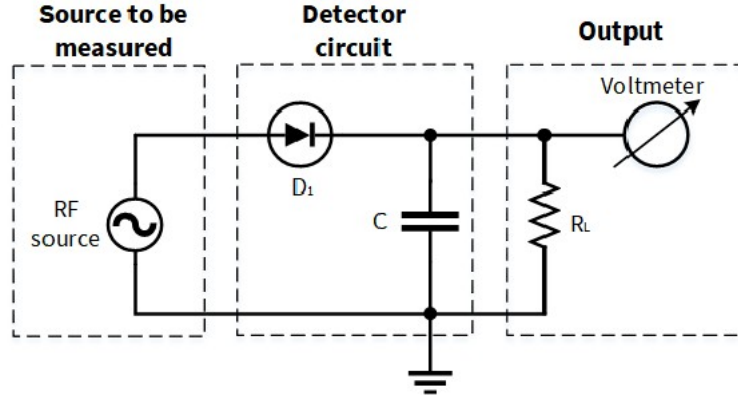
BAT63 diyoduna ait temel elektriksel karakteristikler Çizelge 3.1'de verilmiştir (Infineon, 2018). Doğrultucu devresi, Infineon'un uygulama notunda BAT62-02V sınıfı Schottky diyotlar için önerilen tekil diyot algılama topolojisi esas alınarak tasarlanmıştır; aynı yaklaşım BAT63 ile 260 MHz ve 1.3 GHz'e uyarlanmıştır (Mehmood ve Fang, 2018). Devrenin açıklamalı çizimi Şekil 3.2'de sunulmuştur. Devre çıkışında zarf işaretini elde etmek amacıyla diyot çıkışına paralel yerleştirilen R_1 - C_1 ikilisi birinci kademe alçak geçiren filtreyi oluşturmakta, bu filtre taşıyıcı bileşenin bastırılmasını ve zarfın düşük frekans bileşenlerinin korunmasını sağlamaktadır. Filtrenin kesim frekansı klasik,

$$f_c = \frac{1}{2\pi R_1 C_1}, \quad \tau_{RC} = R_1 C_1 \quad (58)$$

bağıntıları kullanılarak belirlenmiş ve R_1 tasarım gereği 50Ω olarak seçilmiştir.

Çizelge 3.1 BAT63 diyodunun temel elektriksel karakteristikleri (Infineon, 2018)

Parameter	Symbol	Values			Unit	Note / Condition
		Min.	Typ.	Max.		
Diode reverse voltage	V_R	–	–	4	V	Maksimum ters dayanım gerilimi
Forward current	I_F	–	–	50	mA	Maksimum sürekli ileri akım
Reverse current	I_R	–	–	10	μ A	$V_R = 3$ V
Forward voltage	V_F	–	190	300	mV	$I_F = 1$ mA
Forward voltage matching	ΔV_F	–	–	20	mV	$I_F = 1$ mA (çift diyot eşleşmesi)
Diode capacitance	C_T	–	0.65	0.85	pF	$V_R = 0.2$ V, $f = 1$ MHz
Differential resistance	R_0	–	–	30	k Ω	$V_R = 0$, $f = 10$ kHz

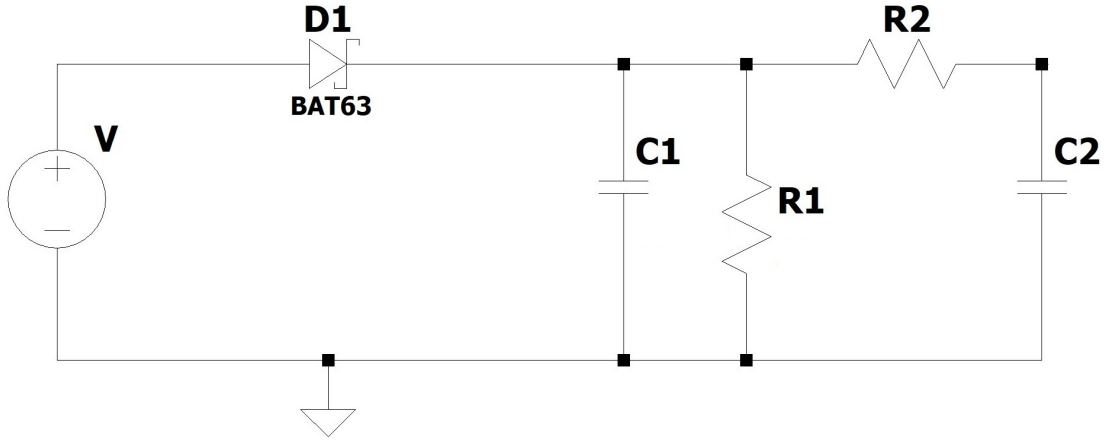


Şekil 3.2 BAT62-02V için (BAT63 için de geçerli olan) üretici referans tekil diyot doğrultucu devresi (Mehmood ve Fang, 2018)

Doğrultucu katmanının davranışı LTSpice ortamında hem 260 MHz hem de 1.3 GHz giriş koşulları için incelenmiştir. Giriş işareti, zayıflatıcı çıkışını temsil edecek şekilde 3.5 V tepe genlikli sinüzoidal kaynakla modellenmiştir; devredeki düğüm gerilimleri ve özellikle zarf işaretinin yükselme-düşme eğimleri değerlendirilmiştir. Analizler, seçilen R_1 - C_1 zaman sabitinin, zarf dalga biçimini ADC girişine uygun şekilde yeterince düzleştirirken (ripple bastırma), darbeye ait zaman çözünürlüğünü bozmayacak bir aralıkta olduğunu göstermiştir.

Birinci kademe sonrasında, seri R_2 ve paralel C_2 elemanlarından oluşan ikinci bir şekillendirme katmanı kullanılmıştır. Bu katman, yüksek frekanslı artık bileşenlerin ek olarak sönümlenmesini sağlamış ve ADC girişine uygulanan zarf işaretinin eğim kontrolü optimize edilmiştir. Bu yapı, eşik tabanlı tespit algoritmasının daha kararlı çalışmasını desteklemektedir.

Şekil 3.3'te çalışmada kullanılan LTSpice doğrultucu devresinin şematik görünümü sunulmaktadır. Devre; BAT63 diyodu, zarf işaretini şekillendiren $R_1 C_1$ filtresi ve ADC girişine uyumu artıran $R_2 C_2$ katmanından oluşmaktadır. LTSpice benzetimleri, doğrultucu çıkışının hem BAT63 diyodunun güvenli çalışma sınırlarında kaldığını hem de AD9434 ADC'nin giriş aralığıyla uyumlu bir zarf genliği ürettiğini göstermektedir. Bu analizler, doğrultucu devresine ait RC parametrelerinin seçilmesinde temel referans olarak kullanılmıştır.



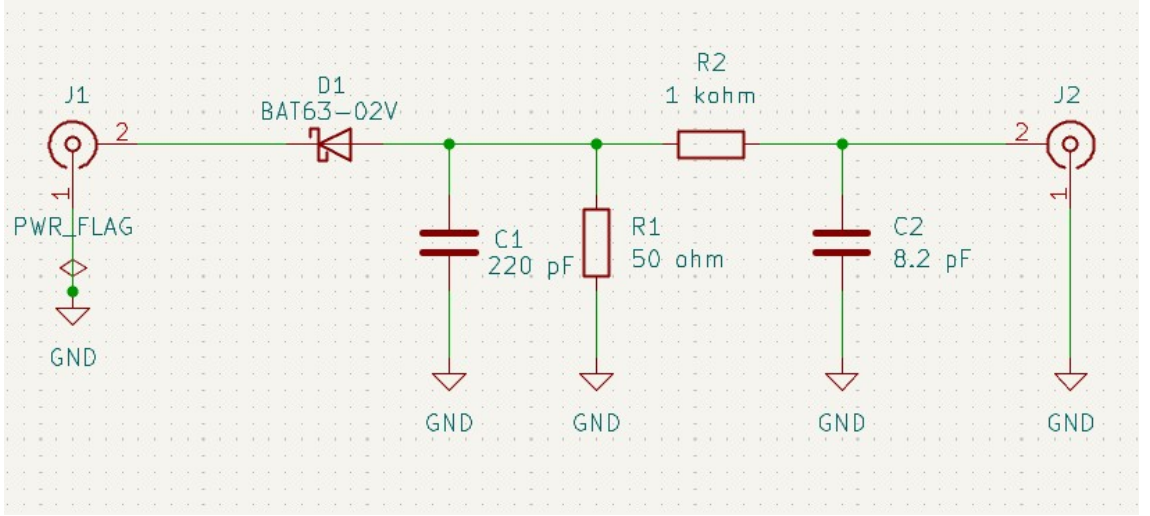
Şekil 3.3 Çalışmada kullanılan LTSpice doğrultucu devresinin şematik görünümü

RF sinyallerin Schottky diyot tabanlı bir doğrultucu devre aracılığıyla işlenmesi ve analogdan dijitale dönüştürülmek üzere ADC'ye iletilmesi amacıyla kullanılan baskı devre tasarımı, açık kaynaklı bir elektronik tasarım otomasyon yazılımı olan KiCad ortamında gerçekleştirilmiş ve PCB üretim aşamasına uygun hale getirilmiştir. KiCad üzerinde Schematic Editor modülünde şematik oluşturulmuş; J1 ve J2 SMA konnektörleri, BAT63 diyodu, C_1 , R_1 , R_2 ve C_2 gibi temel elemanlar şematikte tanımlanmıştır. KiCad kütüphanesinde bulunmayan BAT63 modeline ait .lib dosyası dışarıdan eklenmiş, ilgili footprint ve 3B model tanımları kart üzerinde kullanıma hazır hale getirilmiştir. Yüksek frekanslı RF izleri için 50Ω karakteristik empedansa uygun iz genişliği seçilmiş, diyotun giriş ucu ile R_1/C_1 bağlantıları mümkün olduğunca kısa tutulmuş ve kart genelinde bakır döşeme (ground plane) kullanılarak düşük empedanslı bir referans düzlemi oluşturulmuştur. PCB çizimi tamamlandıktan sonra şematik üzerinde ERC, kart üzerinde ise DRC kontrolleri çalıştırılmış ve hatalar giderilerek üretime hazır hale getirilmiştir.

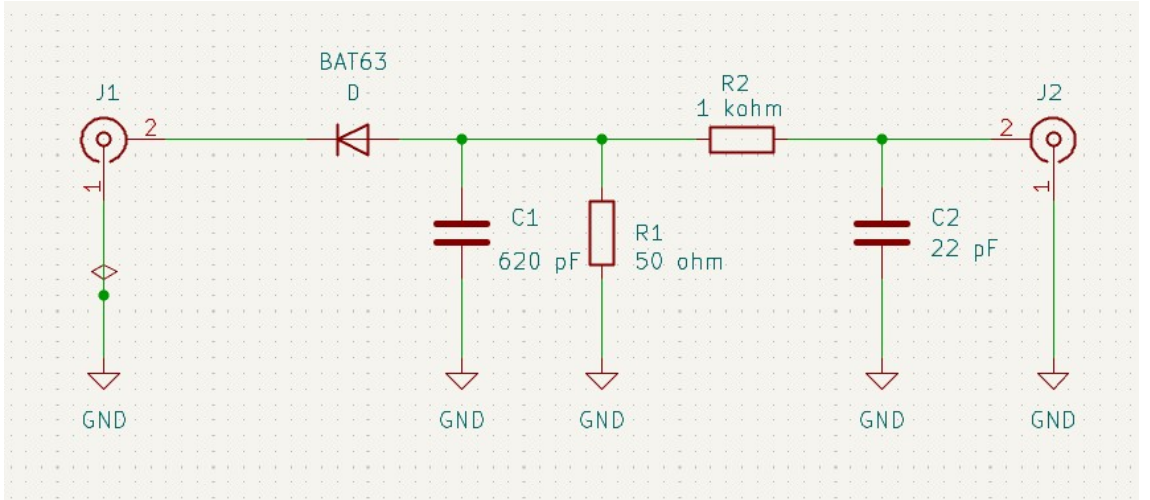
3.1.1 RF doğrultucu devresinin KiCad ortamında tasarımı

Bu çalışmada kullanılan Schottky diyot tabanlı RF doğrultucu devresi, devre şeması ve baskı devre tasarımı (PCB) açık kaynaklı bir elektronik tasarım otomasyon yazılımı olan KiCad ortamında gerçekleştirilmiştir. KiCad kullanımı sayesinde doğrultucu devrenin hem şematik düzeyde doğrulanması hem de yüksek frekanslı RF uygulamalarına uygun bir fiziksel yerleşim ile üretime hazır hale getirilmesi amaçlanmıştır.

İlk aşamada, doğrultucu devrenin şematik tasarımı KiCad Schematic Editor modülü kullanılarak oluşturulmuştur. Bu aşamada giriş ve çıkış bağlantıları için SMA konnektörler, doğrultma elemanı olarak BAT63 Schottky diyotu ve zarf işaretini şekillendiren R_1-C_1 ve R_2-C_2 pasif elemanları şematik üzerinde tanımlanmıştır. Devre topolojisi, LTSpice benzetimlerinde doğrulanan referans devre yapısı ile uyumlu olacak şekilde modellenmiş ve analog-sayısal dönüştürme katmanına uygun bir zarf işareti üretecek biçimde düzenlenmiştir. 260 MHz ve 1.3 GHz için tasarlanmış olan şematikler Şekil 3.4'te ve Şekil 3.5'te sunulmuştur.



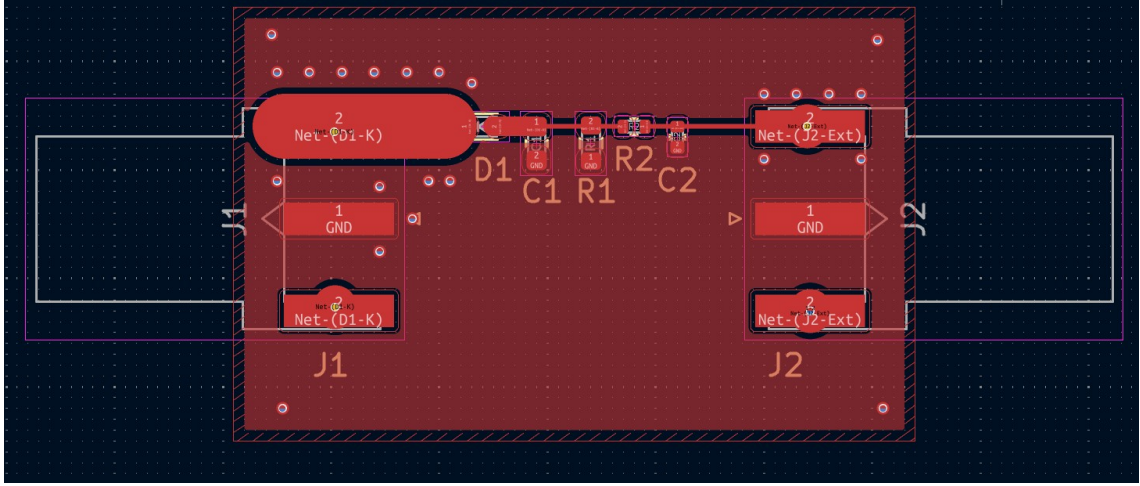
Şekil 3.4 1.3 GHz için çizilmiş olan dalga doğrultucu Schottky Diyot devre şematığı.



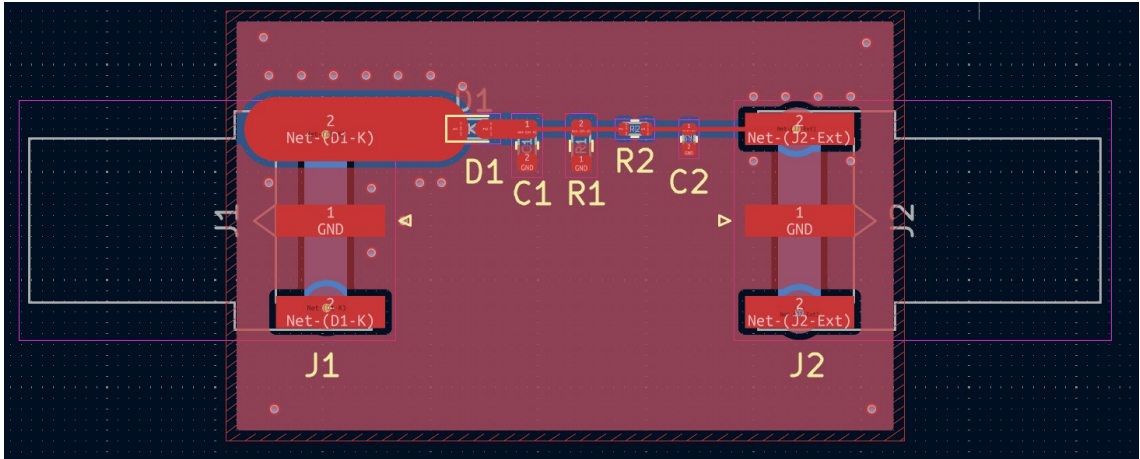
Şekil 3.5 260 MHz için çizilmiş olan dalga doğrultucu Schottky Diyot devre şematığı

Şematik tasarım tamamlandıktan sonra baskı devre yerleşimi KiCad PCB Editor modülünde ger-

çekleştirilmiştir. Yüksek frekanslı RF işaretlerinin taşındığı giriş ve çıkış hatları için $50\ \Omega$ karakteristik empedansa uygun iz genişlikleri seçilmiş, BAT63 diyodu ile ilk RC filtre elemanları arasındaki bağlantılar mümkün olduğunca kısa tutulmuştur. Kart genelinde sürekli bir toprak düzlemi (ground plane) kullanılarak geri dönüş akımlarının kontrol altına alınması ve elektromanyetik parazitlerin azaltılması hedeflenmiştir. PCB tasarımı ve serimlerin çizimi Şekil 3.6’da ve Şekil 3.7’de sunulmuştur.



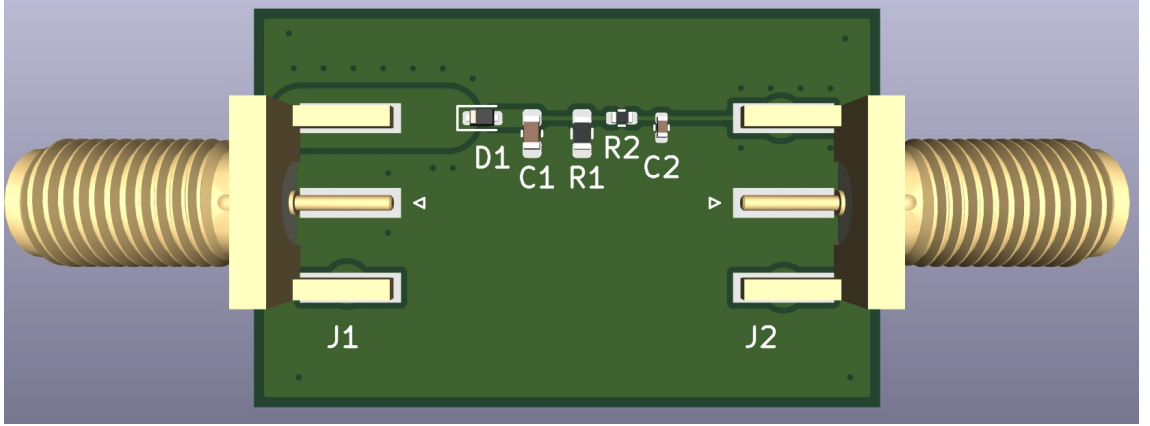
Şekil 3.6 1.3 GHz için çizilmiş olan dalga doğrultucu Schottky Diyot PCB tasarımı



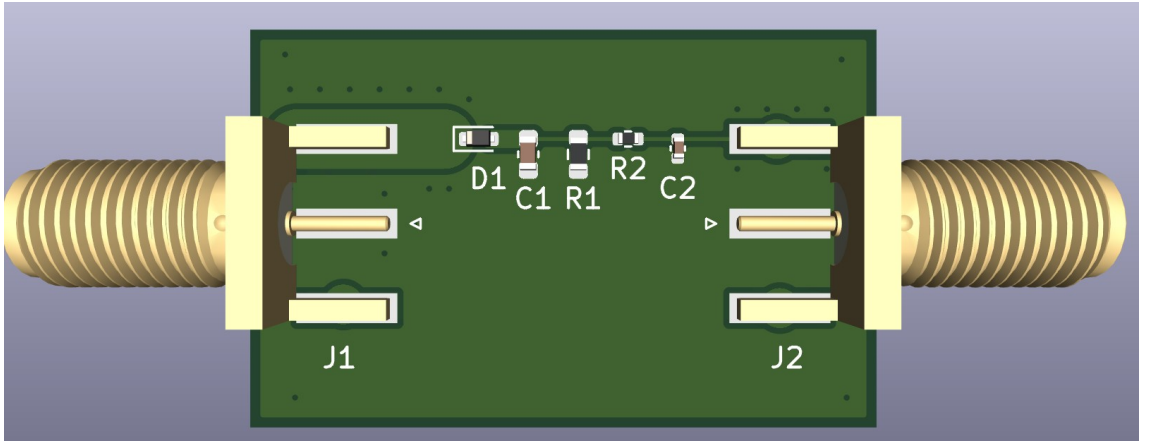
Şekil 3.7 260 MHz için çizilmiş olan dalga doğrultucu Schottky Diyot PCB tasarımı

Yerleşim tamamlandıktan sonra KiCad ortamında elektriksel kural kontrolü (ERC) ve tasarım kural kontrolü (DRC) çalıştırılmış, tespit edilen hatalar giderilerek tasarım üretime uygun hale getirilmiştir. Son aşamada ise devrenin üç boyutlu (3B) kart görünümü oluşturularak bileşen yerleşimi, mekanik uyumluluk ve üretilebilirlik açısından görsel doğrulama yapılmıştır. Elde edilen bu çık-

tılar, tasarlanan doğrultucu devrenin yalnızca teorik ve benzetim düzeyinde değil, fiziksel olarak da uygulanabilir bir donanım çözümü olduğunu göstermektedir. Gerçekleştirilen donanım tasarımının 3B görüntüsü Şekil 3.8’de ve Şekil 3.9’da sunulmuştur.



Şekil 3.8 1.3 GHz için çizilmiş olan dalga doğrultucu Schottky Diyot 3B görünümü



Şekil 3.9 260 MHz için çizilmiş olan dalga doğrultucu Schottky Diyot 3B görünümü

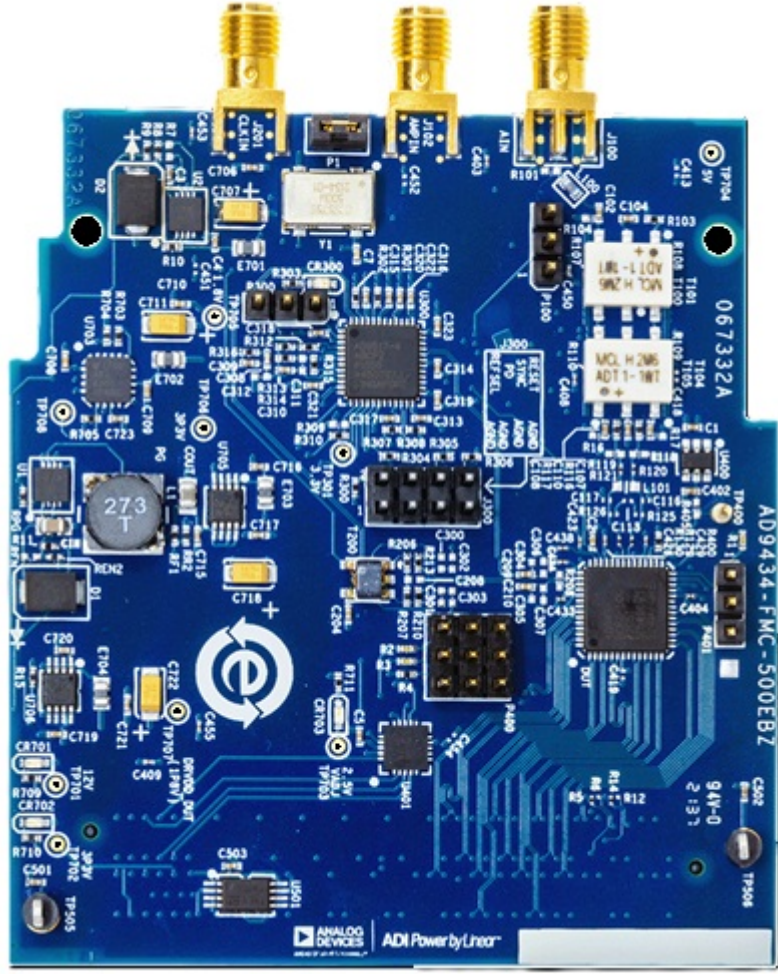
3.2 İşaretin ADC Tarafından Yakalanması

Yüksek bant genişliğine sahip RF, video ve benzeri yüksek frekanslı uygulamalarda analog işaretlerin, zaman ekseninde yüksek doğrulukla temsil edilebilmesi için yüksek örnekleme hızına sahip ADC’lerin kullanılması gerekmektedir (Çetinkaya, 2024). Özellikle RF uygulamalarında, işaretin hızlı değişen bileşenlerinin yakalanabilmesi, düşük gürültü düzeyi, yüksek çözünürlük ve zaman-

lama hatalarına karşı dayanıklı bir örnekleme mimarisini zorunlu kılmaktadır.

Bu çalışmada ADC'nin temel amacı, Schottky diyot tabanlı doğrultucu devreden elde edilen ve nanosaniye mertebesinde geçiş sürelerine sahip zarf işaretinin yüksek örnekleme hızında sayısal-laştırılarak FPGA üzerinde işlenebilir hale getirilmesidir. Bu gereksinimleri karşılamak amacıyla Analog Devices tarafından geliştirilen, yüksek hızlı ve düşük gecikmeli boru hattı (pipeline) mimariye sahip AD9434 ADC'si tercih edilmiştir.

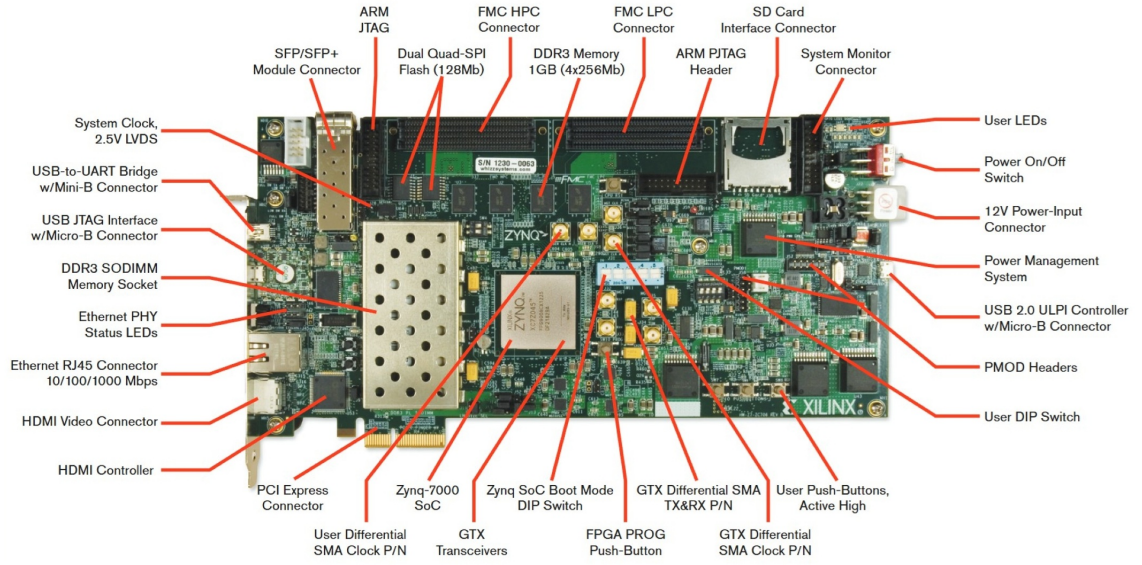
AD9434; 12-bit çözünürlük, 500 MSPS'e kadar örnekleme hızı, düşük güç tüketimi ve geniş giriş bant genişliği sunan bir monolitik ADC olup özellikle RF uygulamaları için optimize edilmiştir. ADC'nin tam ölçek giriş aralığı $1.8 V_{pp}$ değerindedir (Analog Devices, 2022). Bu çalışma kapsamında ADC, 400 MSPS hızında yapılandırılmıştır ve bu değer, doğrultulmuş zarf işaretinin zaman çözünürlüğü açısından yeterli örnekleme oranını sağlamaktadır. Tasarımda kullanılan EVAL-AD9434 Şekil 3.10'da sunulmuştur.



Şekil 3.10 EVAL-AD9434 üstten görünüm (Analog Devices, 2011)

LTSpice benzetimleri sonucunda doğrultucu devrenin çıkış işaretinin 1.6–2.1 V aralığında değiştiği görülmüş olup bu aralık, AD9434’ün giriş dinamik aralığı ile uyumludur. Bu uyum, ADC’nin tam ölçek bölgesine yakın çalışmasını sağlayarak kuantalama hatalarının azaltılmasına ve dinamik aralığın verimli kullanılmasına olanak tanımıştır. Bunun yanı sıra AD9434’ün FPGA’ye veri aktarımında LVDS standardını desteklemesi, yüksek hızlardaki veri bütünlüğü ve düşük elektromanyetik girişim gereksinimlerini karşılamaktadır.

Projede ADC’nin doğrudan kullanılabilmesi için EVAL-AD9434 geliştirme kartı tercih edilmiştir. Bu sayede yeni bir PCB tasarımı ve üretimi gereksinimi ortadan kaldırılmış; tasarım sürecinde doğrulanmış, güvenilir ve stabil bir referans birim (golden unit) kullanılarak sistem entegrasyonu hızlandırılmıştır. Geliştirme kartının FMC arayüzü sayesinde ADC–FPGA veri aktarımı doğrudan ve güvenilir bir fiziksel katman üzerinden gerçekleştirilebilmektedir (Analog Devices, 2024).



Şekil 3.12 ZC706 geliştirme kartı ve üzerindeki çevre birimlerinin üstten görünümü (AMD, 2012)

ZC706 kartında yer alan yüksek hızlı diferansiyel I/O hatları, AD9434 ADC'den gelen 12 adet LVDS veri hattını ve bir adet diferansiyel DCO saat hattını doğrudan alabilecek kapasitededir. ADC'den gelen bu sinyaller, FPGA içerisinde sırasıyla IBUFDS–IDELAYE2–ISERDESE2 zinciri üzerinden işlenmiştir. IBUFDS blokları diferansiyel veriyi tek uçlu hale dönüştürmekte; IDELAYE2 elemanları her hat için sabit tap değerinde gecikme uygulayarak iz uzunluklarından kaynaklanan faz farklarını telafi etmekte; ISERDESE2 blokları ise DDR kipinde çalışan bir deserializasyon yapıları oluşturarak her DCO çevriminde iki örnek çıkarıp 12 bit genişliğinde paralel verilere dönüştürmektedir (Xilinx, 2019).

Sistemin saatleme altyapısı BUFIO, BUFR ve BUFG bileşenleri kullanılarak oluşturulmuştur. ADC'den gelen yaklaşık 200 MHz'lik diferansiyel DCO saati, BUFIO üzerinden yüksek hızlı örnekleme saati olarak ISERDESE2 bloklarına yönlendirilmiş; BUFR üzerinden ise ikiye bölünerek yaklaşık 100 MHz'lik sistem mantık saati (clk_sys) elde edilmiştir. IDELAYCTRL biriminin kararlı şekilde çalışabilmesi için BUFG üzerinden küresel saat ağına taşınan 200 MHz referans saat kullanılmış; bu birimin ürettiği “locked” işareti, sistem genelinde güvenli çalışma koşullarını doğrulamak amacıyla değerlendirilmiştir.

Düşük hızlı arabirimlerde ZC706 kartının LVCMOS18 ve LVCMOS25 seviyelerini destekleyen

genel amaçlı I/O pinleri kullanılmıştır. UART haberleşmesi 115200 baud hızında çalışan LVCMOS18 seviye standartları üzerinden sağlanmıştır. FPGA üzerindeki üç LED hattı ise LVCMOS25 standardında tanımlanmış olup UART alım etkinliği, sistem kilit durumu ve darbe üretimi gibi üst seviye işaretleri göstermek amacıyla yapılandırılmıştır. FPGA’ın giriş çıkış pinlerinin kabaca gösterimi Çizelge 3.2’de sunulmuştur.

Çizelge 3.2 FPGA giriş-çıkış pinleri, sinyal standartları ve açıklamaları

Sinyal Adı	Yön	Standart	Açıklama
<i>Yüksek Hızlı ADC Girişleri (AD9434 → FPGA)</i>			
adc_data_in_p[11:0]	Giriş	LVDS	AD9434’ten gelen diferansiyel veri hatları (pozitif uçlar).
adc_data_in_n[11:0]	Giriş	LVDS	AD9434’ten gelen diferansiyel veri hatları (negatif uçlar).
adc_clk_in_p	Giriş	LVDS	AD9434 çıkış saat (DCO) sinyali (pozitif uç).
adc_clk_in_n	Giriş	LVDS	AD9434 çıkış saat (DCO) sinyali (negatif uç).
<i>Kontrol ve Durum Sinyalleri</i>			
sys_rst_n	Giriş	LVCMOS18	Asenkron harici reset girişi.
uart_rx	Giriş	LVCMOS18	UART veri alımı.
uart_tx	Çıkış	LVCMOS18	UART veri gönderimi.
led[2:0]	Çıkış	LVCMOS25	Sistem durumu göstergeleri (veri alımı, kilit, darbe).
pulse_out	Çıkış	LVCMOS18	Yüksek gerilim sürücüsüne tetik sinyali.

Çizelge 3.2’de sunulan mantıksal özete ek olarak, tasarımın sentez ve yerleştirme aşamasında kullanılan XDC (Xilinx Design Constraints) kısıt dosyasında her sinyalin ZC706 kartı üzerindeki fiziksel FPGA pinine atanması, I/O standardı ve diferansiyel sonlandırma özellikleri tanımlanmıştır. Çizelge 3.3, bu kısıt dosyasından türetilen pin atamalarını bir arada sunmaktadır. AD9434 ADC’den gelen 12 bitlik LVDS veri hattının bit-pin eşlemesi ise Çizelge 3.4’te ayrıntılı olarak verilmiştir. Tabloda yer alan tüm LVDS hatları, Xilinx 7-serisi FPGA’nın dahili 100 Ω diferansiyel sonlandırma direncini “DIFF_TERM=TRUE” kullanacak şekilde yapılandırılmış; bu yaklaşım sayesinde harici sonlandırma dirençlerine ihtiyaç duyulmadan yüksek hızlı diferansiyel sinyal bütünlüğü korunmuştur.

Çizelge 3.3 Tasarımın XDC kısıt dosyasına göre fiziksel pin atamaları

Sinyal Adı	FPGA Pini	Yön	I/O Standardı
Yüksek Hızlı ADC Arayüzü (AD9434 → FPGA, FMC-LPC)			
adc_clk_in_p	AE13	Giriş	LVDS_25 (DIFF_TERM)
adc_clk_in_n	AF13	Giriş	LVDS_25 (DIFF_TERM)
adc_data_in_p[11:0]	Bkz. Çizelge 3.4	Giriş	LVDS_25 (DIFF_TERM)
adc_data_in_n[11:0]	Bkz. Çizelge 3.4	Giriş	LVDS_25 (DIFF_TERM)
UART Seri Haberleşme (USB-UART Köprüsü, 115200 baud)			
uart_rx	AA19	Giriş	LVC MOS18
uart_tx	Y20	Çıkış	LVC MOS18
Kontrol, Durum ve Çıkış Sinyalleri			
sys_rst_n	G14	Giriş	LVC MOS18
pulse_out	AC19	Çıkış	LVC MOS18
led[0]	AJ21	Çıkış	LVC MOS25
led[1]	AK21	Çıkış	LVC MOS25
led[2]	AB21	Çıkış	LVC MOS25

Çizelge 3.4 AD9434 LVDS veri hatlarının (adc_data_in_p/n[11:0]) her bir bitinin FPGA pin eşleşmesi

Bit	Pozitif (p)	Negatif (n)	Bit	Pozitif (p)	Negatif (n)
0	AH17	AH16	6	AD14	AD13
1	AJ16	AK16	7	AE16	AE15
2	AD16	AD15	8	AB12	AC12
3	AH14	AH13	9	AJ15	AK15
4	AC14	AC13	10	AG12	AH12
5	AA15	AA14	11	AF15	AG15

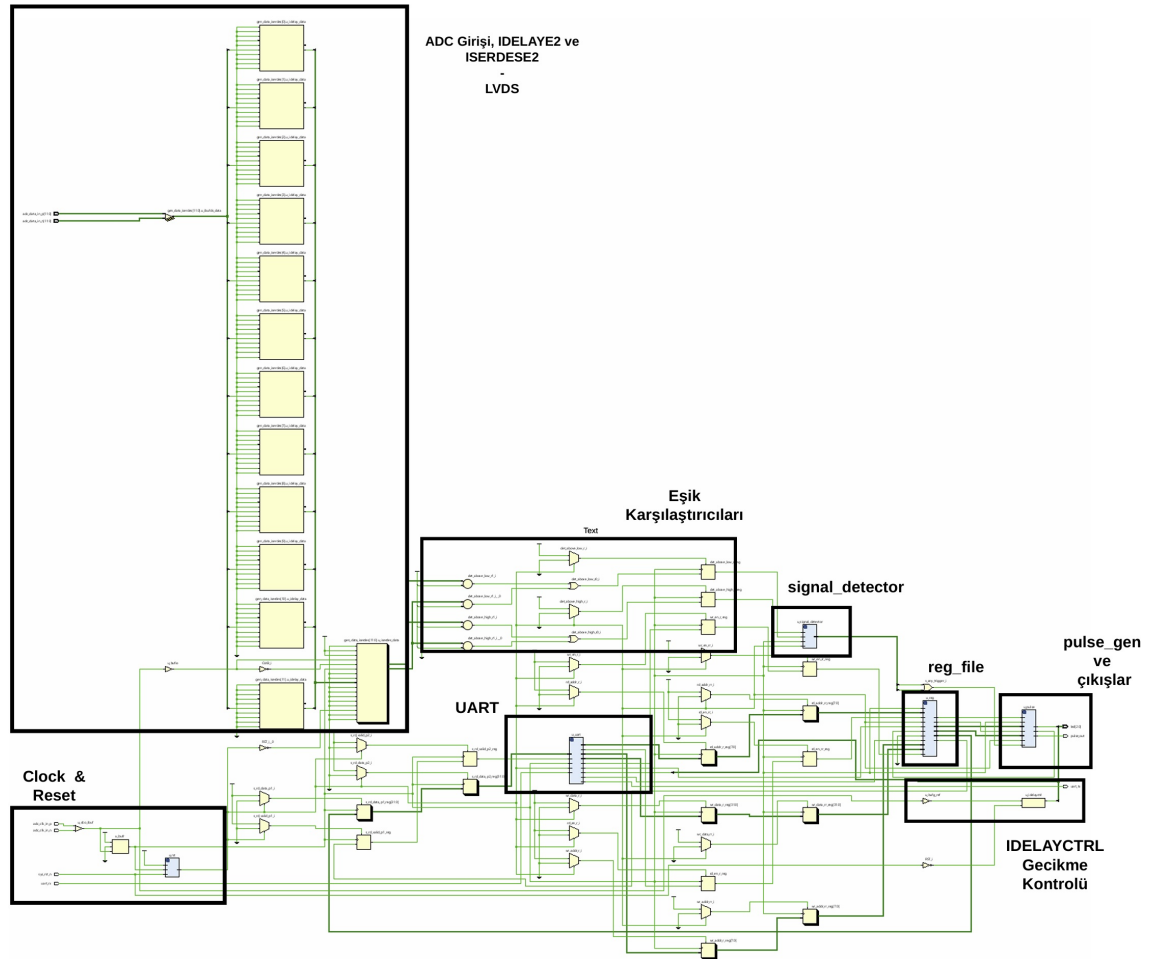
Sinyallerden pulse_out sinyali, FPGA'dan tek uçlu LVC MOS18 seviyesinde çıkarak sistemde yer alan yüksek gerilim sürücüsünün tetiklenmesi için kullanılmaktadır. Harici reset sinyali (sys_rst_n) kart üzerinde tasarlanan clk_rst_ctrl modülü tarafından senkronize edilmekte ve tüm alt modüller güvenli biçimde ortak bir başlangıç durumuna alınmaktadır.

Giriş işaretinin frekans sınıflandırması, ADC'den elde edilen dijital verinin eşik tabanlı analiziyle yapılmıştır. FPGA üzerinde çalışan signal_detector modülü, iki farklı seviye eşiğini (LOW_TH ve HIGH_TH) kullanarak sinyalin yükseliş karakteristiğini incelemekte ve 1.3 GHz ile 260 MHz darbeleri birbirinden ayırmaktadır. Bu eşikler, doğrultucu devreden elde edilen zarf geriliminin 1.2–1.8 V aralığına karşılık gelen normalize değerleridir.

Tüm tasarım, Xilinx Vivado Design Suite 2025.1 kullanılarak geliştirilmiştir. Vivado, HDL tabanlı tasarımların sentez, yerleştirme–yönlendirme, zamanlama analizi ve simülasyon aşamalarını

bütünleşik biçimde gerçekleştirebilen bir geliştirme ortamıdır. Donanım tanımlama dili olarak, deterministik davranışı, güçlü tip kontrolü ve kurallı yazım yapısı nedeniyle VHDL tercih edilmiştir.

Geliştirme sürecinde tüm alt modüller Notepad++ üzerinde kodlanmış ve hiyerarşik bir top-level modülde birleştirilmiştir. Kod yapısında IEEE.STD_LOGIC_1164 ve IEEE.NUMERIC_STD kütüphaneleri kullanılmış; adresleme ve kontrol sabitleri merkezi olarak regs_pkg paketi altında toplanmıştır. Sistemin davranışsal doğrulaması için tb_pulse_delay.vhd isimli kapsamlı bir testbench hazırlanmıştır. Bu testbench, zamanlama ilişkilerini, FSM akışlarını, UART-register etkileşimini ve pulse üretim sürecini bütüncül şekilde gözlemlemeye olanak sağlamıştır. Sayısal tasarımı tamamlanan yapının genel olarak RTL Analiz şematiği Şekil 3.13'te verilmiştir.



Şekil 3.13 Geliştirilen sistemin şematiğine genel bakış

3.3.1 ADC eşiklerinin sayısal karşılıklarının türetimi

FPGA üzerinde yürütülen eşik tabanlı sınıflandırma algoritmasında kullanılan LOW_TH ve HIGH_TH değerleri, doğrultucu devreden elde edilen zarf geriliminin (V_{zarf}) AD9434 ADC'nin 12-bit sayısal alanına doğrusal olarak eşlenmesiyle elde edilmektedir. Bu doğrusal ilişkiyi belirlemek için LTSpice benzetimlerinden iki kalibrasyon noktası referans alınmıştır:

$$(V_L, C_L) = (1.6 \text{ V}, 3277), \quad (V_H, C_H) = (1.8 \text{ V}, 3786) \quad (59)$$

Bu iki nokta arasındaki ilişkiyi temsil eden doğrusal model:

$$C = k V_{zarf} + b \quad (60)$$

şeklinde alınmış olup katsayılar aşağıdaki gibi hesaplanmıştır:

$$k = \frac{C_H - C_L}{V_H - V_L} \quad (61)$$

$$b = C_L - k V_L \quad (62)$$

Sayısal çözüm:

$$k \approx 2545, \quad b \approx -795 \quad (63)$$

Dolayısıyla herhangi bir zarf geriliminin sayısal karşılığı:

$$C(V_{zarf}) = \text{yaklaşık}(2545 V_{zarf} - 795) \quad (64)$$

şeklinde ifade edilir. Buradaki yaklaşık() fonksiyonu, hesaplanan kodun ADC'nin 12-bit aralığına uygun biçimde en yakın tam sayıya yuvarlandığını belirtmektedir. Örneğin 1.7 V için:

$$C(1.7) = \text{yaklaşık}(2545 \times 1.7 - 795) = 3537 \quad (65)$$

elde edilir. Bu değer ADC'nin 0–4095 aralığındaki sayısal temsil bölgesine karşılık gelmekte olup FPGA tarafındaki karar mekanizması tarafından doğrudan işlenmektedir.

Bu eşleme sonucunda kullanılan eşik kodları:

$$LOW_TH = V_{zarf}(1.6 \text{ V}) = 3277 \quad (66)$$

$$HIGH_TH = V_{zarf}(1.8 \text{ V}) = 3786 \quad (67)$$

şeklinde elde edilmiştir.

Pratikte ADC’de üretilen sayısal değerler tamamen kararlı değildir. Kuantalama sürecindeki ± 0.5 LSB belirsizliği, ISERDESE2 örnekleme fazındaki küçük zamanlama sapmaları ve doğrultucu RC filtresinden kaynaklanan ripple bileşenleri, ölçülen kodun birkaç LSB düzeyinde salınmasına neden olabilir. Bu tür dalgalanmalar, sistemin eşikleri yalancı biçimde geçtiğini algılayarak yanlış tetik üretmesine yol açabilir. Bu nedenle karar mekanizmasına gürültü dayanımı kazandırmak amacıyla ADC kod alanında $\pm M$ LSB genişliğinde bir histerezis penceresi tanımlanmıştır. Etkin eşik değerleri:

$$LOW_TH_{eff} = LOW_TH + M \quad (68)$$

$$HIGH_TH_{eff} = HIGH_TH - M \quad (69)$$

şeklinde dir. Uygulamada M değeri tipik olarak 8–16 LSB arasında seçilmiş ve böylece `det_above_low_r` ile `det_above_high_r` işaretlerinin yalancı geçişlere karşı daha kararlı üretimi sağlanmıştır.

Kalibrasyon tabanlı yöntem ek olarak, sahada yeniden kalibrasyon gerektiğinde kullanılabilecek daha genel bir ifade de tanımlanabilir. ADC çözünürlüğü $N=12$ bit olduğunda:

$$\Delta C = 2^{12} - 1 = 4095 \quad (70)$$

ve doğrultucu–zayıflatıcı katmanının etkin tam ölçek değeri $V_{FS,env}$ olarak alınırsa:

$$V_{zarf}(V) = \text{Yaklaşık} \left(\frac{V}{V_{FS,env}} \Delta C \right) \quad (71)$$

genel eşlemesi elde edilir. Bu formül, çalışmada kullanılan (V_L, C_L) ve (V_H, C_H) çiftlerinden çözümlenen $V_{FS,env}$ değeriyle tutarlı olup, uzun dönemli yeniden kalibrasyon adımlarında pratik bir alternatif sağlamaktadır (Xilinx, 2018; Analog Devices, 2022).

3.4 Giriş İşareti Tespiti ve Darbe Üretimi

ZC706 üzerinde gerçekleştirilen VHDL tabanlı donanım tasarımına ait materyal ve yöntem, bu bölümde her bir kod modülüne karşılık gelecek biçimde alt başlıklar halinde sunulmuştur.

3.4.1 Zamanlayıcı ve reset modülü

FPGA tabanlı kontrol mimarisinin kararlı biçimde çalışabilmesi için, hem harici sistem resetinin hem de PLL tabanlı saat üreticisine ait kilit bilgisinin güvenilir şekilde değerlendirilmesi gerekmektedir. Bu amaçla tasarlanan “clk_rst_ctrl” modülü, asenkron resetin anında devreye alınmasını (asynchronous assert) ve resetin bırakılmasının ise yalnızca sistem saat alanında, ardışık üç saat darbesi boyunca gecikmeli ve senkronize biçimde gerçekleşmesini sağlamaktadır. Böylece hem metastabilite riski azaltılmakta hem de tüm alt modüllerin tutarlı bir şekilde resetten çıkması garanti edilmektedir.

Modülün girişleri sistem saati “clk_sys”, aktif-seviyede olmayan harici reset “sys_rst_n” ve PLL kilit bilgisi “clk_locked” şeklindedir; çıkış olarak ise sistem saat alanına senkronize edilmiş “rst_n_sync” sinyali üretilmektedir. Harici reset veya saat kararsızlığı durumlarında, modül içinde üretilen asenkron reset sinyali (arst) devreye girmekte ve senkronizasyon kayıtları sıfırlanmaktadır. Resetin bırakılması, ardışık üç flip-flop’tan oluşan bir senkronizasyon zinciri (three-stage synchronizer) üzerinden kaydırılarak gerçekleştirilir.

Bu üç kademeli yapı, Çizelge 3.5’te özetlenen ardışıl bir boru hattı (pipeline) gibi davranmakta; her saat darbesinde ‘1’ değeri bir sonraki kademeye aktarılmakta ve böylece resetin güvenli biçimde devre dışı bırakılması sağlanmaktadır.

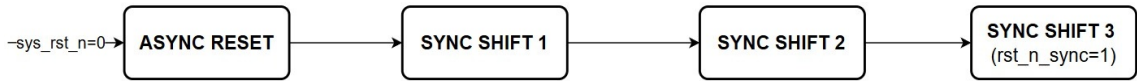
Çizelge 3.5 Üç kademeli reset senkronizasyon boruhattının davranışı

Saat Darbesi	Yazmaç Durumu (rst_sync)	rst_n_sync Çıkışı
Reset aktiftir	000	0
1. clock	001	0
2. clock	011	0
3. clock	111	1

Reset senkronizasyon zinciri ayrıca “ASYNC_REG”, “SHREG_EXTRACT” ve “DONT_TOUCH”

öznitelikleri ile işaretlenmiştir. Bu öznitelikler, sentez aracının bu kayıt zincirini optimize etmesini engellemekte; zincirin LUT tabanlı kaydırma yazmacına dönüştürülmesini önlemekte ve üç kayıt hücresinin fiziksel olarak birbirine yakın yerleştirilmesini garanti etmektedir. Bu yaklaşım, FPGA tasarımlarında asenkron sinyal senkronizasyonu için önerilen standart uygulamalarla uyumludur.

Modülün işlevsel blok diyagramı Şekil 3.14’te gösterilmiştir.



Şekil 3.14 clk_rst_ctrl.vhd çalışma diyagramı

Şekil 3.14’te gösterilen blok, sistemin reset ve saat yapısının senkronize edilmesini sağlamakta; asenkron reset sinyali üç saat darbesi boyunca kaydırılarak “rst_n_sync” işareti üretilmektedir.

3.4.2 Bellek yapısının oluşturulması ve yönetimi

Geliştirilen FPGA tabanlı kontrol mimarisinde, darbe gecikme hattının yapılandırılması ve izlenmesi için bellek eşlemeli (memory-mapped) bir kayıt (register) arabirimi tanımlanmıştır. Bu amaçla, VHDL içerisinde “regs_pkg” isimli bir paket oluşturulmuş ve tüm adres, bit alanı ve sınır değerleri bu paket altında toplanmıştır. Böylece veri işleme boru hattı (pipeline) ile kontrol/izleme katmanı birbirinden ayrılmış; yeniden kullanılabilirlik, modülerlik ve bakım kolaylığı sağlanmıştır.

Tanımlanan kayıtlar, 8 bitlik adres uzayında 4 byte aralıklarla hizalanmış olup, 32 bitlik veri yoluna uygun şekilde düzenlenmiştir. Adres haritası, özetle, Çizelge 3.6’da belirtildiği gibidir.

Çizelge 3.6 Bellek eşlemeli kontrol kayıtlarının adres haritası

Kayıt Adı	Adres	Açıklama
C_ADDR_CONTROL	0x00	Çalışma modu ve tetikleme kontrol kayıtları
C_ADDR_DELAY_LO	0x04	Gecikme süresinin düşük anlamlı kısmı
C_ADDR_DELAY_HI	0x08	Gecikme süresinin yüksek anlamlı kısmı
C_ADDR_PW	0x0C	Çıkış darbe genişliği ayarı
C_ADDR_STATUS	0x10	Sistem durum bayrakları
C_ADDR_VERSION	0x14	Donanım/firmware sürüm bilgisini içeren kayıt

Bu yapı sayesinde, üst seviye kontrol birimi (örneğin gömülü işlemci veya haricî kontrol yazılımı), FPGA içindeki darbe gecikme modülünü standart bir kayıt arabirimi üzerinden yapılandırabilmekte ve izleyebilmektedir.

Kontrol kaydı “CONTROL” içerisinde, sistemin temel çalışma modu ile tetikleme mantığını belirleyen bit alanları tanımlanmıştır. Tez kapsamında kullanılan temel bit alanları Çizelge 3.7’de özetlenmiştir:

Çizelge 3.7 Kontrol kaydı bit alanları

Bit	Sembol	Ad	Açıklama
0	C_CTRL_EN	Etkinleştirme (Enable)	Darbe gecikme birimini genel olarak etkinleştirir veya devre dışı bırakır. Bu bit ‘1’ yapıldığında, sayısal işleme hattı giriş işaretine yanıt üretmeye hazır hale gelir.
1	C_CTRL_ARM	Kurma (Arm)	Sistemi yeni bir ölçüm veya tetikleme döngüsü için kurar. Bu bitin ‘1’ yapılması, dahili sayaç ve durum makinesinin bir sonraki geçerli tetiklemeye hazır hale gelmesini sağlar.

Bu iki temel bit sayesinde, veri işleme boru hattını yeniden yapılandırılmaksızın yalnızca kontrol kaydı üzerinden sistemin global çalışma durumu yönetilebilmektedir. Başka bir deyişle, “enable” ve “arm” mantığı ile darbe tespiti, gecikme ve darbe üretimi aşamalarından oluşan ardışıl işlem hattı yazılımdan kontrol edilebilir hale getirilmiştir.

Durum kaydı içerisinde, FPGA içindeki haberleşme ve komut işleme bloklarının çalışma sonucunu raporlayan bayrak bitleri tanımlanmıştır. Bu bitlerin bir kısmı “yapışkan (sticky)” olacak şekilde tasarlanmıştır; yani bir hata veya olay gerçekleştiğinde bit ‘1’ konumuna geçer ve yazılımla açıkça temizlenene kadar ‘1’ kalır. Kullanılan başlıca durum bitleri Çizelge 3.8’de verilmiştir.

Çizelge 3.8 Durum kaydı bit alanları

Bit	Sembol	Ad	Açıklama
0	C_ST_CMD_DONE	Komut tamam	Yazılımdan gelen son konfigürasyon komutunun başarıyla işlenip donanıma uygulanmış olduğunu gösterir. Boru hattı yapılandırmasının tamamlandığını doğrulamak için kullanılır.
1	C_ST_RX_OVF	Alıcı taşması (RX overflow)	Seri haberleşme alıcı tamponunda taşma oluştuğunu gösterir. Bu bitin <i>Yapışkan</i> olması, kısa süreli taşmaların dahi sistem tarafından tespit edilip kayıt altına alınmasını sağlar.
2	C_ST_TX_BUSY	Gönderici meşgul (TX busy)	Veri gönderim biriminin anlık olarak meşgul olduğunu bildirir. Bu bilgi, üst seviye denetleyicinin ardışık konfigürasyon komutlarını doğru zamanda sıraya koyabilmesi için kullanılır.

Yapışkan bayrak yaklaşımı, özellikle izlenebilirlik gerektiren GMP benzeri ortamlarda, oluşan hata ve olayların kaçırılmadan kaydedilmesine imkan tanımaktadır. Yazılım, periyodik olarak “STATUS” kaydını okuyarak hata istatistiklerini tutabilir ve gerektiğinde bu bayrakları sıfırlayabilir.

“C_VERSION” sabiti, 32 bit genişliğinde bir sürüm kaydını temsil etmektedir v1.0 ifadesi için örnek olarak:

$$C_VERSION = x''00010000'' \quad (72)$$

Bu alan, FPGA yapılandırma dosyasının (bitstream) hangi sürümüne karşılık geldiğinin sistem tarafından yazılımsal olarak okunabilmesini sağlar. Böylece deneysel sonuçların, kullanılan donanım/firmware sürümü ile ilişkilendirilmesi kolaylaşır ve tekrarlanabilirlik artırılır.

Paket içinde ayrıca programlanabilir gecikme süresine ait sınır değerler tanımlanmıştır:

$$C_DELAY_NS_MIN = 50 \text{ ns} \quad (73)$$

$$C_DELAY_NS_MAX = 2500 \text{ ns} \quad (74)$$

Bu sabitler, darbe gecikme modülünün izin verilen çalışma aralığını donanım seviyesinde sınırlar. Yazılım, “DELAY_LO” ve “DELAY_HI” kayıtlarına yeni bir değer yazmadan önce bu sınırları dikkate alacak şekilde tasarlanmıştır. Bu yaklaşımın başlıca avantajları aşağıdaki gibidir:

- FPGA tarafında geçersiz veya fiziksel olarak gerçekleştirilemeyecek gecikme değerlerinin önlenmesi,
- Deneysel ayarların belirli bir zaman aralığı ile sınırlanarak sistemin güvenli çalışma bölgesinde tutulması,
- Aynı sabitlerin hem sentez aşamasında hem de testbench benzetimlerinde ortak referans olarak kullanılabilmesi.

Sonuç olarak “regs_pkg” paketi; bellek eşlemeli adres haritası, kontrol ve durum bit alanları, sürüm bilgisi ve gecikme sınırlarını tek bir yerde toplayarak FPGA içindeki darbe işleme boru hattının dışarıdan güvenli, tutarlı ve izlenebilir bir biçimde yapılandırılmasını sağlayan temel kontrol katmanını oluşturmaktadır.

3.4.3 İşaret tespitiinin gerçekleştirilmesi

“signal_detector.vhd” modülü, doğrultucu ve ADC sonrasında üretilen iki seviyeli karşılaştırıcı çıkışlarını (above_low_i ve above_high_i) kullanarak darbe tipini sayısal olarak sınıflandırmak üzere tasarlanmıştır. Blok, FPGA sistem saatine (clk) senkron çalışan bir sonlu durum makinesi (FSM) ve buna bağlı bir zaman sayacı üzerinden, alt eşik ile üst eşik geçişleri arasındaki süreyi clock çevrimleri cinsinden zamanlamakta ve bu süreyi tanımlı sınırlarla karşılaştırarak darbenin 1.3 GHz ya da 260 MHz kaynağa ait olup olmadığını belirlemektedir. Sınıflandırma sonucu, iki bitlik “detected_type_o” çıkışında kodlanmaktadır (1.3 GHz için ‘01’; 260 MHz için ‘10’, diğer durumlar için ‘00’).

Giriş sinyalleri, metastabilite riskini azaltmak ve kenar algılamasını güvenilir kılmak amacıyla önce tek kademeli olarak kaydedilmektedir. “above_low_i” ve “above_high_i” portları her saat çevriminde “above_low_r” ve “above_high_r” kayıtlarına alınmakta; bir önceki çevrime ait kopyalar ise “above_low_d” ve “above_high_d” sinyallerinde tutulmaktadır. Bu sayede, yükselen kenarlar özet olarak sunulmuş olan Çizelge 3.9’da tanımlanan koşullara göre güvenilir biçimde algılanmaktadır.

Çizelge 3.9 Yükselen kenar algılama koşulları

Sinyal	Güncel Değer	Önceki Değer	Yükselen Kenar Koşulu
low_rise	above_low_r= 1	above_low_d= 0	Alt eşik sinyalinin 0→1 geçişinde üretilir.
high_rise	above_high_r= 1	above_high_d= 0	Üst eşik sinyalinin 0→1 geçişinde üretilir.

Bu koşullar, her bir eşik geçişinin tek clock genişliğinde bir darbe (pulse) olarak üretilmesini sağlar ve bu darbeler FSM için tetikleme sinyali olarak kullanılır.

Zaman ölçümü için, “time_counter” adında tamsayı türünde bir sayaç kullanılmış ve sayaç aralığı, 260 MHz darbe için öngörülen en uzun süreyi kapsayacak biçimde “C_TIME_MAX_260M + 5” değerine kadar sınırlandırılmıştır. Kritik yol gecikmesini azaltmak amacıyla, sayaç artışı ile sınıflandırma mantığı arasına basit bir boru hattı aşaması eklenmiştir. Sayacın bir önceki çevrime ait değeri “time_counter_r” sinyalinde tutulmuş ve sınıflandırma kararı, sayacın artma işlemi ile aynı çevrimde değil, bu gecikmeli kopya üzerinden verilmiştir. Böylece, sayaç artışı ve karşılaştırma işlemleri iki ardışık çevrime yayılmış, kombinasyonel gecikme kısaltılmış ve zamanlama kapanışı

kolaylaştırılmıştır. Darbe tipi tayininde kullanılan “C_BOUNDARY” parametresi, alt ve üst eşik geçişleri arasındaki sınır süresini clock çevrimi cinsinden tanımlamakta ve bu değerin altında kalan darbeler 1.3 GHz, üzerinde kalan darbeler ise 260 MHz olarak sınıflandırılmaktadır.

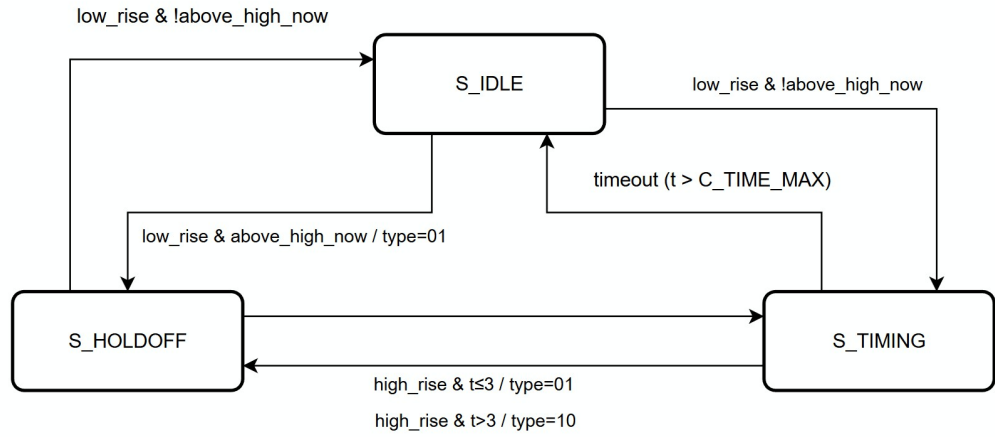
FSM üç durumdan oluşmaktadır: “S_IDLE”, “S_TIMING” ve “S_HOLDOFF”. “S_IDLE” durumunda modül, alt eşik (above_low_i) sinyalinde yükselen kenarı beklemektedir. Alt eşik geçildiği anda özel bir “hızlı yol” (fast-path) mekanizması devreye alınmıştır. Eğer aynı saat çevriminde üst eşik de (above_high_i veya above_high_r) lojik 1 ise, darbe 1.3 GHz olarak anında sınıflandırılmakta ve “S_TIMING” durumuna geçilmeksizin “S_HOLDOFF” durumuna geçilmektedir. Bu yol, çok hızlı yükselen darbelerde alt–üst eşik geçişlerinin aynı clock çevriminde gerçekleştiği senaryoyu ek gecikme olmadan yakalamak üzere tasarlanmıştır. Bu davranış Çizelge 3.10’da özetlenmiştir.

Çizelge 3.10 FSM durumları ve hızlı yol (fast-path) davranışı

Durum	Tetikleyici / Koşul	Açıklama
S_IDLE	above_low_i sinyalinin 0→1 geçişi	Alt eşik yükselen kenarı beklenir. Fast-path mekanizması bu durumda devreye girer.
S_TIMING	Hızlı yolun tetiklenmesiyle alt eşikten sonra zaman ölçümünün başlaması	Eşikler arası süre ölçülerek darbe tipi belirlenir.
S_HOLDOFF	Sınıflandırmanın tamamlanması	Yeni tetiklemelerin bastırıldığı bekleme evresi; alt eşik yeniden sıfıra düşene kadar sürer.
Hızlı Yol	Aynı clock çevriminde above_high_i veya above_high_r= 1	Alt ve üst eşik geçişleri aynı saat çevriminde ise darbe anında 1.3 GHz olarak sınıflandırılır ve doğrudan S_HOLDOFF durumuna geçilir. Ek zaman ölçümü yapılmaz.

Alt eşik yükselen kenarı algılanıp üst eşik henüz geçilmemişse, FSM “S_TIMING” durumuna geçer ve “time_counter sayacı ‘1’” değerinden başlatılır. Bu durumda sayaç her saat çevriminde bir artırılarak alt ve üst eşik geçişleri arasındaki süre ölçülür. Üst eşikte yükselen kenar (high_rise) algılandığında, sayacın bir önceki değeri time_counter_r ile “C_BOUNDARY” karşılaştırılır ve darbe tipi bu değere göre atanır; aynı çevrimde “trigger_pulse” sinyali bir clock süresi için 1 yapılarak “detected_type_o” çıkışındaki kodun geçerli olduğunu işaret eder. Alt eşik sinyalinin yeniden 0’a düşmesi (above_low_r= ‘0’) veya sayacın “C_TIME_MAX_260M + 2” değerini aşması durumlarında, geçersiz ya da aşırı uzun darbeler reddedilmekte ve durum makinesi herhangi bir sınıflandırma yapmadan S_IDLE durumuna dönmektedir.

Sınıflandırma sonrası “S_HOLDOFF” durumuna geçilerek, alt eşik sinyali tekrar sıfıra düşene kadar yeni bir tetikleme alınmaması sağlanmıştır. Bu tutma-bekleme (hold-off) mekanizması, geniş darbe kuyrukları veya küçük salınımlar esnasında çoklu tetikleme oluşmasını engellemekte ve detected_type_o çıkışının her fiziksel darbe için yalnızca tek bir kez üretilmesini garanti etmektedir. “Signal_detector.vhd” FSM akışı Şekil 3.15’te verilmiştir.



Şekil 3.15 Signal_detector.vhd akış diyagramı

Özetle, signal_detector.vhd bloğu:

- Eşik geçişlerini senkron kayıt ve yükselen kenar algılama mantığı ile sayısal olarak güvenilir biçimde tespit etmekte,
- Alt ve üst eşik geçişleri arasındaki süreyi parametrelenebilir bir zaman sayacı ile ölçmekte,
- Kritik yol süresini kısaltmak üzere sayacın gecikmeli kopyası üzerinden basit bir boru hattı yapısı kullanmakta,
- Aynı clock çevriminde alt ve üst eşik geçişini yakalayan bir hızlı yol (fast-path) tanımlamakta,
- Sonlu durum makinesi tabanlı hold-off süreci ile çoklu tetiklemeleri bastırmakta.

ve tüm bu adımlar sonucunda, FPGA üzerinde 1,3 GHz ve 260 MHz darbelerin zaman tabanlı, eşik kontrollü bir sınıflandırmasını gerçekleştirmektedir.

3.4.4 Bellek haritalı kayıt dosyası mimarisi

reg_file modülü, FPGA üzerinde çalışan darbe gecikme ve genişlik kontrol mantığının yazılım tarafından yapılandırılabilmesi için bellek-haritalı (memory-mapped) bir kayıt dosyası (register file) olarak tasarlanmıştır. Modül, tek saat alanında (clk_sys) çalışan senkron bir mimariye sahiptir ve tüm konfigürasyon/durum bilgileri 32 bit genişliğinde kayıtlar üzerinden yönetilmektedir. Adres sabitleri (“C_ADDR_CONTROL”, “C_ADDR_DELAY_LO”, “C_ADDR_PW”, “C_ADDR_STATUS” vb.) ve durum biti indeksleri (C_ST_*) Vregs_pkg paketinde sembolik sabitler olarak tanımlanmış, böylece VHDL kodunun okunabilirliği ve bakım kolaylığı artırılmıştır.

Kayıt dosyasının arka ucunda, Xilinx blk_mem_gen IP çekirdeği kullanılarak tek portlu, 32 bit genişliğinde ve kayıt haritasını kapsayacak şekilde yapılandırılmış bir BRAM instansiyonu yapılmıştır. Yazma (wr_en, wr_addr) ve okuma (rd_en, rd_addr) istekleri, BRAM tarafında ortak bir adres veri yoluna (bram_addr) çoklanmaktadır; “wr_en” aktif olduğunda yazma adresi, aksi durumda okuma adresi BRAM’e yönlendirilmekte, etkinleştirme sinyali “bram_ena” ise okuma veya yazma izni olduğunda lojik 1 olacak şekilde üretilmektedir. Yazma izni doğrudan “bram_wea” hattına bağlanarak BRAM’in hem yazma hem de yazılan verinin yazılım tarafından geri okunabilmesi sağlanmaktadır.

Modül içerisinde, sürekli çıkışlara bağlanan ve sistem için anlamlı konfigürasyon bilgilerini tutan ayrı kayıtlar tanımlanmıştır: “r_control” (çalışma modu ve tetikleme kontrolü), “r_delay” (gecikme süresi), “r_pw” (çıkış darbe genişliği) ve “r_status” (durum bayrakları). Bu kayıtlar, yazma arayüzünden gelen “wr_data” sinyalinin ilgili adreslere yazılması ile güncellenmekte, üst seviyeye ise doğrudan çıkış portları üzerinden aktarılmaktadır (“delay_val”, “pulse_width”, “ctrl_en”, “ctrl_arm”).

Gecikme kayıtlarına yazılan değer fiziksel sistem sınırları içerisinde kalmasını sağlamak amacıyla, “C_ADDR_DELAY_LO” adresine yazılan 32 bitlik veri, donanım tarafında alt ve üst limit sabitleri ile karşılaştırılmaktadır. Yazılan değer “C_DELAY_NS_MIN” sabitinin altında ise gecikme “C_DELAY_NS_MIN” olarak yazılmaktadır. Eğer yazılan değer “C_DELAY_NS_MAX” sabitinin üzerinde ise “C_DELAY_NS_MAX” olarak yazılmakta olup, yalnızca bu aralığın içerisindeki değerler doğrudan “r_delay” kaydına aktarılmaktadır. Böylece gecikme süresi yazılım

hatalarına karşı donanım seviyesinde sınırlandırılmış ve sistemin güvenli çalışma bölgesinin dışına çıkması önlenmiştir.

Sistem durumunun izlenmesi için kullanılan “r_status” kaydı, hem harici durum girişlerinden (“st_tx_busy”, “st_rx_ovf”, “st_cmd_done”, “st_pulse_done”) hem de yazılım tarafındaki kontrol yazmalarından etkilenmektedir. “st_cmd_done”, “st_rx_ovf” ve darbe tamamlanma biti, giriş sinyalleri lojik 1 olduğunda “r_status” içerisinde “yapışkan” şekilde 1’e çekilmekte ve yazılım tarafından ilgili bit pozisyonuna 1 yazılması durumunda temizlenecek (write-one-to-clear) biçimde tasarlanmıştır. Bu amaçla, “C_ADDR_STATUS” adresine yapılan yazmalarda, ilgili bitler Çizelge 3.11’de gösterilmiştir.

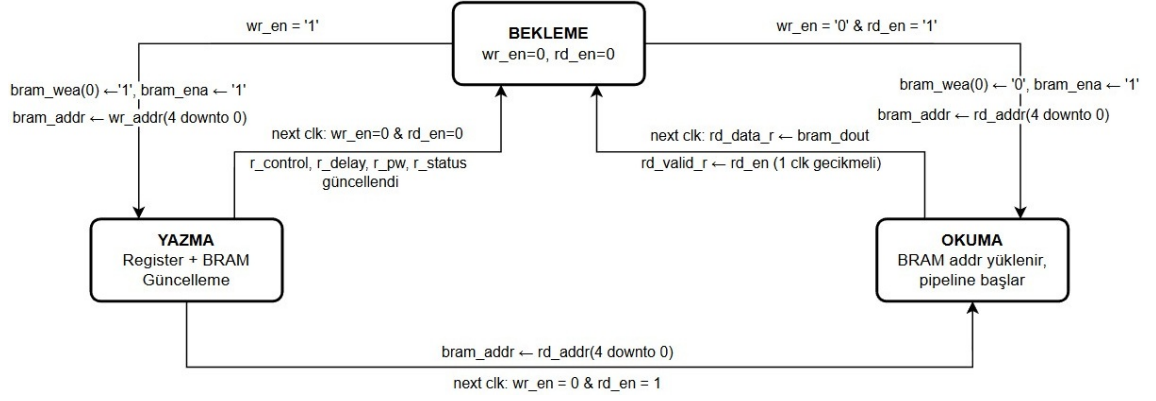
Çizelge 3.11 Write-One-To-Clear (W1C) durum biti güncelleme kuralı

wr_data(bit)	Önceki r_status(bit)	Yeni r_status(bit)
0	0	0
0	1	1
1	0	0
1	1	0

Bu mantıkta, “wr_data(bit)” sinyaline ‘1’ yazılması ilgili durum bitini temizler; ‘0’ yazılması ise mevcut değeri korur. Bu davranış aşağıdaki VHDL ifadesiyle gerçekleştirilmiştir:

$$r_status(bit) \leq r_status(bit) \text{ and } (not\ wr_data(bit))$$

BRAM’dan okunan veri, zamanlama marjlarını artırmak amacıyla tek kademeli bir boru hattı üzerinden üst seviyeye çıkarılmaktadır. BRAM’in çıkışı “bram_dout”, her saat çevriminde “rd_data_r” kaydına alınmakta ve bu kayıt “rd_data” çıkışına bağlanmaktadır. Aynı saat çevriminde “rd_en” sinyali de “rd_valid_r” kaydına örneklenmekte ve “rd_valid” çıkışı üzerinden yazılıma, okunan verinin geçerli olduğu saat darbesi bildirilmektedir. Bu yapı, BRAM’in iç gecikmelerini dışarıya yüzden yalıtan sade bir boru hattı aşaması oluşturmakta; okuma yolundaki kombinasyonel yol uzunluğunu azaltarak saat frekansının yükseltilebilmesine imkan tanımaktadır. Okuma işlemi, bu sayede deterministik olarak tek saat döngüsü gecikmeli ve “rd_valid” işareti ile birlikte eş zamanlı şekilde kullanılabilir. “Reg_file.vhd” için hazırlanan akış diyagramı Şekil 3.16’da sunulmuştur.



Şekil 3.16 Reg_file.vhd modülünün okuma–yazma kontrol akışı

Tüm kayıtlar, “clk_sys” saatinin pozitif kenarında güncellenen tek bir süreç içerisinde tutulmakta ve modül genelinde tek saat alanlı, tamamen senkron bir tasarım kuralına uyulmaktadır. Sistemin global reset hattı “rst_n” aktif-seviyesi düşük olacak şekilde tanımlanmış; BRAM instansiyonunda bu sinyal doğrudan asenkron reset olarak kullanılırken, kullanıcı kayıtları süreç içinde senkron olarak sıfırlanmaktadır. Böylece, FPGA kaynaklı bellek IP’sinin gerektirdiği asenkron resetleme ile kullanıcı mantığının senkron resetlenmesi arasında dengeli ve kararlı bir başlangıç davranışı elde edilmiştir.

Özet olarak bu modülde yapılan işlemler;

- Yazılım tarafından erişilebilir, bellek-haritalı kayıt dosyası mimarisi ile tüm kontrol ve durum bilgilerinin 32 bit genişliğinde tek bir adres alanı üzerinden yönetilmesi,
- Xilinx blk_mem_gen IP tabanlı BRAM kullanımı ile register map’in FPGA üzerinde alan açısından verimli ve blok RAM kaynaklarını kullanacak şekilde gerçekleştirilmesi,
- regs_pkg paketinde sembolik adres ve bit pozisyonu sabitleri kullanılarak modüller arası arayüzün soyutlanması ve kod yeniden kullanılabilirliğinin artırılması,
- Gecikme kaydında en alt ve en üst sınırların donanım tarafında kontrol edilerek, geçersiz/tehlikeli konfigürasyonların engellenmesi,
- Durum bitleri için yapışkan ve write-one-to-clear mantığının kullanılması sayesinde, kısa süreli olayların yazılım tarafından güvenilir biçimde algılanabilmesi,
- Okuma yolunda tek kademeli boruhattı ve geçerlilik işareti ile zamanlama (timing) marjlarının iyileştirilmesi ve üst seviye kontrol birimi ile senkron bir el sıkışma (handshake)

mekanizmasının sağlanması,

- Tüm mantığın tek saat alanında, senkron bir süreç içerisinde toplanması ve FPGA üzerinde zamanlama kapanışı (timing closure) sürecinin sadeleştirilmesi.

3.4.5 Darbe üretim modülünün tasarımı ve çalışması

FPGA üzerinde hedef sisteme gönderilecek RF darbesinin gecikme süresi ve genişliğini programlanabilir şekilde üreten temel zamanlama bloğu, “pulse_gen” isimli VHDL modülü ile gerçekleştirilmiştir. Bu blok, sistem saatine (clk), asenkron aktif düşük reset sinyaline (rst_n) ve kontrol kayıtlarından gelen çeşitli kontrol bitlerine bağlı olarak çalışmaktadır. Giriş/çıkış arayüzü Çizelge 3.12’de belirtilen fonksiyonel sinyallerden oluşmaktadır:

Çizelge 3.12 pulse_gen.vhd modülünün giriş/çıkış sinyallerinin fonksiyonel tanımları

Sinyal	Yön	Açıklama
en_i	Giriş	Darbe üretim bloğunun genel etkinleştirme (enable) biti.
arm_i	Giriş	Sistemin kurulu/hazır durumda olduğunu belirten <i>arm</i> biti; güvenlik amaçlı ikinci seviye yetkilendirme olarak kullanılır.
start_i	Giriş	Dış tetik (<i>trigger</i>) kaynağından gelen, tek saat çevrimi genişliğinde tetik sinyali.
delay_ns_i	Giriş	Gecikme süresini temsil eden 32 bit genişliğinde sayısal değer.
pw_ns_i	Giriş	Darbe genişliğini temsil eden 16 bit genişliğinde sayısal değer.
pulse_o	Çıkış	Programlanmış gecikme ve genişliğe sahip darbe çıkışı.
busy_o	Çıkış	Blok darbe üretimi aktifken meşgul (busy) durumunu gösteren bayrak.
done_o	Çıkış	Darbe üretimi tamamlandığında tek clock boyunca ‘1’ olan tamamlanma bayrağı.

Kod içerisinde “pulse_gen” bloğu, tam senkron bir sonlu durum makinesi (FSM) olarak tasarlanmıştır. FSM üç durumdan oluşmaktadır ve bu durumlar Çizelge 3.13’te sunulmuştur:

Çizelge 3.13 pulse_gen modülünün sonlu durum makinesi (FSM) durumları

Durum	Açıklama
S_IDLE	Blok bekleme konumundadır; tetik ve etkinleştirme şartlarının sağlanmasını bekler.
S_WAIT	Programlanan gecikme süresinin sayaç üzerinden geri sayıldığı bekleme durumudur.
S_PULSE	Programlanan genişlik süresi boyunca darbenin aktif olarak üretildiği durumdur.

Tüm durum geçişleri ve çıkışlar, sistem saatinin yükselen kenarında güncellenmekte ve “rst_n” sinyali ile asenkron olarak başlangıç koşuluna (S_IDLE) alınmaktadır. Boşta iken (S_IDLE) durumda blok, “en_i”, “arm_i” ve “start_i” sinyallerinin aynı saat çevriminde eş zamanlı olarak ‘1’

olmasını beklemektedir. Bu üç şart aynı saat çevriminde sağlandığında Çizelge 3.14’te belirtilen parametreler çalışmaktadır:

Çizelge 3.14 Tetikleme anında snapshot olarak alınan zamanlama parametreleri

Parametre	Atanan Sayaç	Açıklama
delay_ns_i	wait_cnt	Gecikme süresi değeri tetik anında alınarak gecikme sayacına yüklenir.
pw_ns_i	pulse_cnt	Darbe genişliği değeri tetik anında alınarak darbe süresi sayacına yüklenir.

Bu parametreler tetik anında snapshot mantığı ile kopyalanmakta; böylece tetik alındıktan sonra kayıt dosyasındaki değerler değişse bile ilgili darbe döngüsünde zamanlama tutarlılığı korunmaktadır. Böylece tetikleme alındıktan sonra kayıt dosyasındaki (reg_file) değerlerde bir güncelleme yapılsa dahi, o tetikleme için geçerli olan gecikme ve genişlik parametreleri değişmeden kalmaktadır. Aynı anda “busy_r” sinyali ‘1’ yapılır ve durum makinesi “S_WAIT” durumuna geçmektedir.

“S_WAIT” durumunda, “wait_cnt” sayaç değeri her saat çevriminde birer birer azaltılır. Sayaç değeri sıfıra ulaştığında gecikme süresi dolmuş kabul edilmektedir. Bu akışta gerçekleşen olaylar Çizelge 3.15’te gösterilmiştir.

Çizelge 3.15 S_WAIT durumundan çıkış anındaki eylemler

İşlem	Açıklama
pulse_r ← 1	Gecikme süresi tamamlandığında darbe çıkışı aktif hale getirilir.
FSM → S_PULSE	Durum makinesi darbe üretim aşamasını yöneten S_PULSE durumuna geçer.

“S_PULSE” durumunda benzer şekilde “pulse_cnt” sayacı her çevrimde bir azaltılır. Sayaç sıfıra indiğinde Çizelge 3.16’da belirtilen durumlar gerçekleşir:

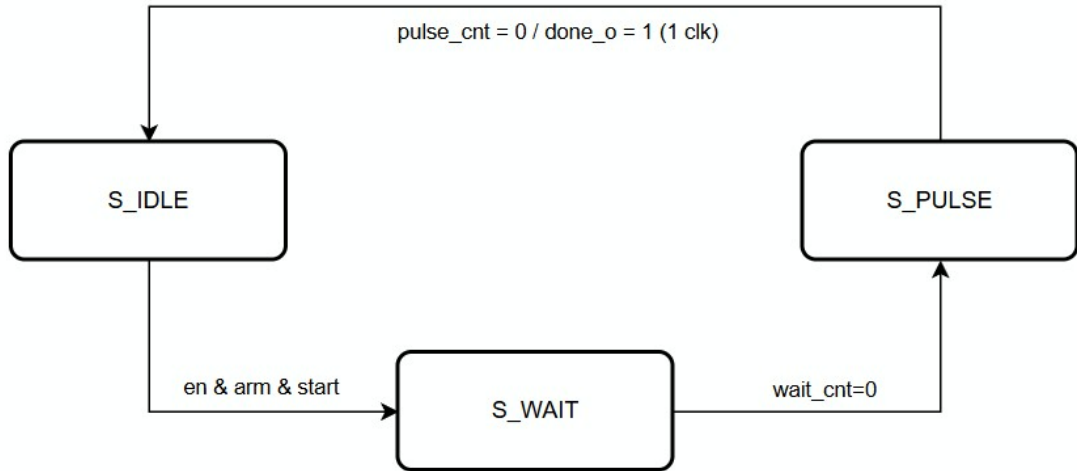
Çizelge 3.16 S_PULSE durumunun tamamlanması sonrası gerçekleştirilen işlemler

İşlem	Açıklama
pulse_r ← 0	Darbe süresi sona erdiğinde darbe çıkışı pasif hale getirilir.
busy_r ← 0	Blok meşgul durumdan çıkarılır ve yeniden tetik almaya hazır konuma getirilir.
done_r ← 1 (1 clock)	Darbe üretiminin tamamlandığını üst katmana bildirmek üzere tek saat çevrimi genişliğinde bir tamamlanma darbesi üretilir.
FSM → S_IDLE	Sonlu durum makinesi başlangıç durumuna dönerek yeni bir tetik beklemeye başlar.

Sistem saati 200 MHz olduğundan, sayıcıların birim artımı 5 ns zaman çözünürlüğüne karşılık gelmektedir. Kod içerisinde, gecikme ve darbe genişliği sayılarının sayaç genişliğine uygun şekilde

resize fonksiyonu ile daraltılması sağlanmış ve en fazla 19 bitlik sayaçlar kullanılarak yaklaşık 2500 ns mertebesine kadar gecikme ve darbe süresi kapsama alanı oluşturulmuştur. Bu yapı, hem nanosaniye ölçüsünde çözünürlük hem de RF baskılayıcı çıktısının gerektirdiği maksimum darbe süreleri için yeterli aralığı sağlamaktadır.

Kod içerisinde “pulse_gen” bloğunda “busy_o” ve “done_o” sinyalleri, üst seviye kontrol mantığı ile basit bir el sıkışma (handshake) mekanizması kurmak için kullanılmıştır. busy_o ‘1’ iken yeni bir start_i darbesi dikkate alınmamakta, böylece tetiklerin üst üste binmesi veya darbe üretimi sırasında parametrelerin yeniden programlanmasından doğabilecek metastabilite ve zamanlama hataları engellenmektedir. done_o sinyalinin tek saat çevrimlik bir darbe olarak üretilmesi, üst katmanda darbe tamamlama olayının kenar hassasiyetli olarak algılanabilmesine olanak tanımakta ve ek olarak çoklu saat alanları arasındaki senkronizasyon için açık bir işaret sağlamaktadır. Geliştirilen “pulse_gen.vhd” kod bloğu için oluşturulan FSM Şekil 3.17’de gösterilmiştir.



Şekil 3.17 Pulse_gen.vhd modülüne ait temel FSM diyagramı

Tüm çıkış sinyallerinin (pulse_o, busy_o, done_o) kayıtlı (register tabanlı) olarak üretilmesi sayesinde, darbe kenarlarında herhangi bir hata oluşmadan, tamamen saat-senkronlu ve tekrarlanabilir bir zamanlama davranışı elde edilmiştir. Bu yapı, RF baskılayıcı sisteminde istenen darbe zamanlaması hassasiyetinin hem benzetim ortamında hem de gerçek donanım üzerinde güvenilir şekilde sağlanmasına olanak tanımaktadır.

3.4.6 Seri haberleşme protokolünün kullanılması

“uart_path.vhd” modülü, harici bir bilgisayar ile FPGA üzerindeki kayıt dosyası (reg_file) arasında UART tabanlı ve ASCII–HEX formatında çalışan bir komut arabirimi sağlamaktadır. Yapı, 200 MHz sistem saatinde çalışan üç kademeli bir boru hattı (pipeline) olarak Çizelge 3.17’de belirtildiği gibi tasarlanmıştır:

Çizelge 3.17 UART yolunda gerçekleştirilen üç temel işlem aşaması

Aşama	Açıklama
UART Alıcı (RX)	Asenkron seri hattın (rx_i) iki kademeli senkronizer üzerinden sisteme alınması ve UART alıcı FSM’i ile 8 bitlik bytelara dönüştürülmesi.
Komut Çözümleyici (Parser)	Alınan bytelerin ASCII–HEX formatında yorumlanarak komut çözümleyici FSM tarafından reg_file üzerinde okuma/yazma işlemlerine çevrilmesi.
UART Verici (TX)	Okuma işlemlerinin ardından oluşan 8 bitlik cevap byteının UART verici FSM’i aracılığıyla seri hatta (tx_o) geri gönderilmesi.

UART alıcı ve verici yolları, parametrelenebilir bir bit süresi sabiti ile zamanlanmaktadır.

G_CLKS_PER_BIT jeneriği:

$$G_{\text{CLKS_PER_BIT}} = \frac{f_{\text{clk}}}{f_{\text{baud}}} \quad (75)$$

ilişkisiyle 200 MHz sistem saati ve 115200 baud için 1736 olarak seçilmiş, böylece hem alıcı hem verici tarafında bit örnekleme ve bit süresi sayaçları bu değere göre çalıştırılmıştır. Bu yaklaşım sayesinde UART zamanlaması, ilave PLL veya baud rate jeneratör devresi gerektirmeden doğrudan sistem saatine kilitlenmiştir. “uart_path.vhd” modülünde kullanılan alt bloklar Çizelge 3.18’de özetlenmiştir.

Çizelge 3.18 UART haberleşme yoluna ait modüller ve görevleri

Modül Adı	Girişler	Çıkışlar	Görev / Açıklama
UART RX FSM	uart_rx	rx_byte rx_byte_valid	Asenkron seri verinin 8-bit karaktere dönüştürülmesi.
UART Parser FSM	rx_byte rx_byte_valid	bus_wr_en bus_rd_en addr data	“W/R” komutlarının ayrıştırılması ve Register File erişimi.
UART TX FSM	bus_rd_data bus_rd_valid	uart_tx	Okuma sonuçlarının 8-bit ham veri olarak gönderilmesi.

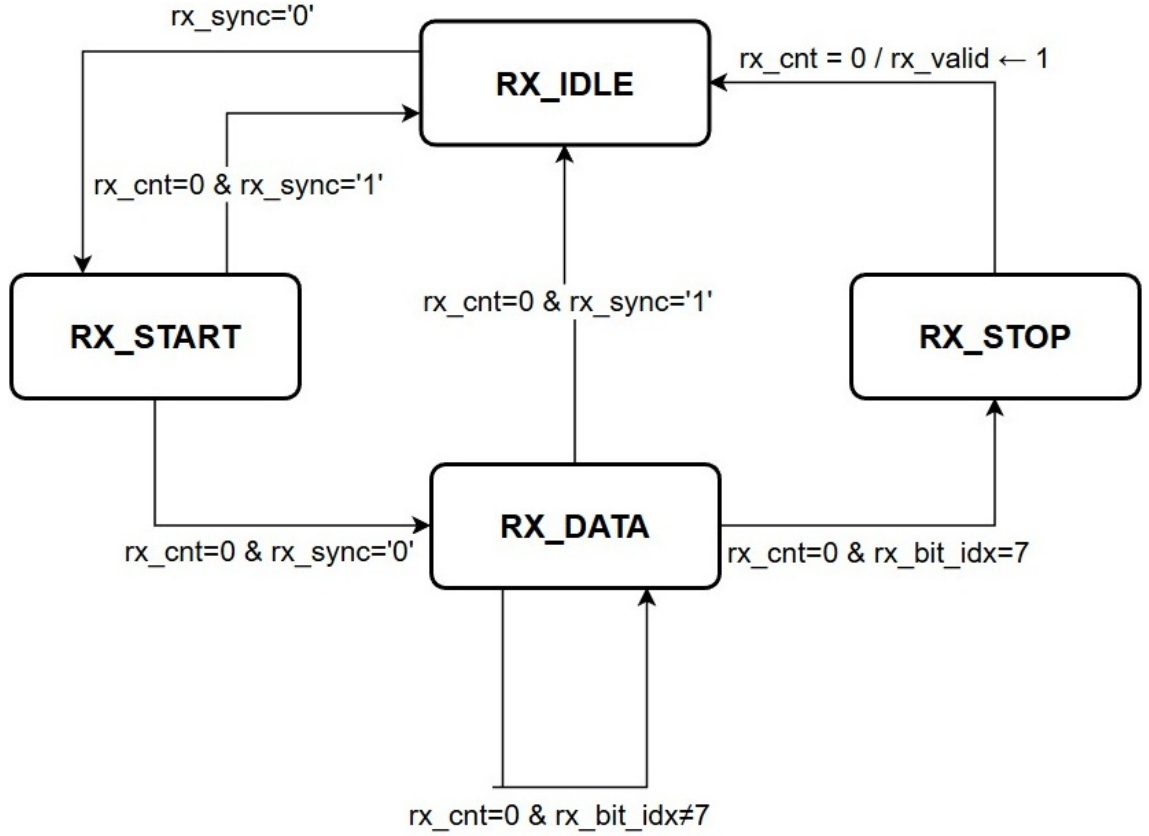
Harici “rx_i hattı”, metastabilite riskini azaltmak amacıyla iki kademeli bir senkronizer üzerinden sisteme alınmıştır. “rx_meta” ve “rx_sync” sinyalleri ardışık flip-flop’lar olarak tanımlanmış, her ikisine de “ASYNC_REG=‘TRUE’” özniteliği atanarak sentez aracına bu flip-flop’ların asenkron giriş senkronizasyonu için özel olarak kullanıldığı bildirilmiştir. Böylece zamanlama analizi ve yerleşim aşamalarında bu iki kayıt elemanının aynı saat bölgesinde ve birbirine yakın yerleştirilmesi garanti altına alınmıştır.

Kodlanan uart_path.vhd için hazırlanan genel çalışmayı kısa ve öz ifade eden FSM Çizelge 3.19’da sunulmuştur.

Çizelge 3.19 UART alıcı (RX) durum makinesi ve görevleri

Durum	Açıklama
RX_IDLE	Hat ‘1’ seviyesinde beklenir. rx_sync hattında ‘0’ seviyesine geçiş algılandığında, başlangıç bitinin ortasından örnekleme yapılabilmesi için örnekleme sayacı $\frac{G_{CLKS_PER_BIT}}{2}$ değerine yüklenir.
RX_START	Başlangıç biti süresinin ortasında yeniden örneklenir. Hala ‘0’ ise veri alma fazına geçilir; aksi durumda hatalı tetikleme olduğu kabul edilerek RX_IDLE durumuna dönlür.
RX_DATA	Bit süresi sayacı sıfıra ulaştığında rx_sync değeri ilgili bit indeksine (rx_bit_idx) yazılır. 8 bit tamamlanıncaya kadar bit indeksi ve sayaç güncellenir. Her bit, kendi süresinin ortasında örneklenmiş olur.
RX_STOP	Durdurma bitinin süresi tamamlanınca alınan 8 bitlik veri rx_byte üzerine yazılır ve tek saat çevrimi boyunca rx_byte_valid=‘1’ darbesi üretilir.

Bu yapı ile alıcı yolu, gürültüye ve başlangıç biti seviye hatalarına karşı toleranslı, tam saat temelli bir UART alma birimi olarak çalışmaktadır. RX hattı için hazırlanan FSM akışı Şekil 3.18’de verilmiştir.



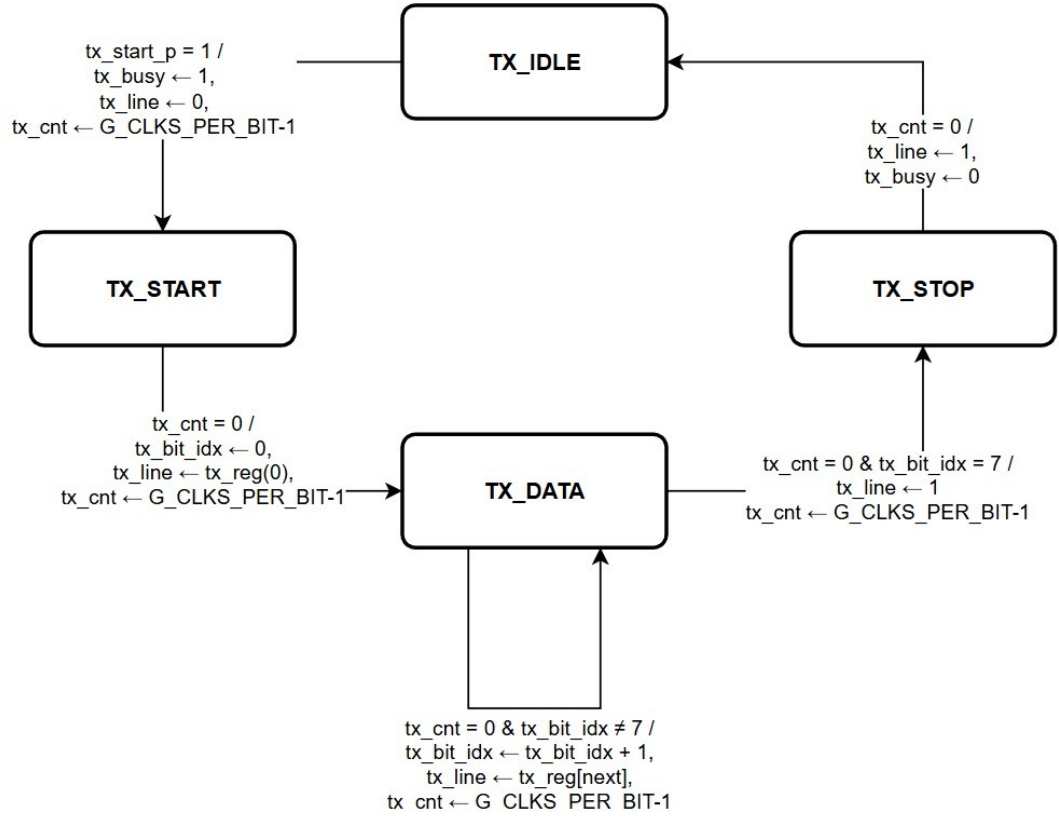
Şekil 3.18 Seri haberleşme bloğunun RX modülüne ait FSM akışı

Verici tarafında da benzer şekilde dört durumlu bir FSM kullanılmıştır (TX_IDLE, TX_START, TX_DATA, TX_STOP). Verici, yalnızca reg_file üzerinden bir okuma işlemi tamamlandığında tetiklenmektedir. Çizelge 3.20’de durumlar detaylıca özetlenmiştir:

Çizelge 3.20 UART verici (TX) yolunda gerçekleştirilen işlem adımları

İşlem	Açıklama
tx_reg ← bus_rd_data(7 downto 0)	Okuma sonucunun düşük anlamlı 8 bit’i gönderim için seçilir.
bus_rd_valid='1' → tx_start_p	Okuma işlemi tamamlandığında tx_start_p darbesi üretilir ve verici FSM TX_START durumuna geçer.
Başlangıç biti üretimi	Hat önce ‘0’ seviyesine çekilir, ardından tx_reg içindeki bitler sırayla ve her biri G_CLKS_PER_BIT süreyle gönderilir.
Durdurma biti ve tamamlanma	Durdurma biti sonunda hat ‘1’ yapılır ve tx_busy_o sıfırlanarak iletimin bittiği bildirilir.

tx_busy_o çıkışı, üst seviye bloklar için verici kaynağın meşguliyet durumunu bildirerek ardışık okuma komutlarının güvenli aralıklarla gönderilebilmesine imkan tanır. TX modülüne ait FSM akışı Şekil 3.19’da aktarılmıştır.



Şekil 3.19 Seri haberleşme bloğunun TX modülüne ait FSM akışı

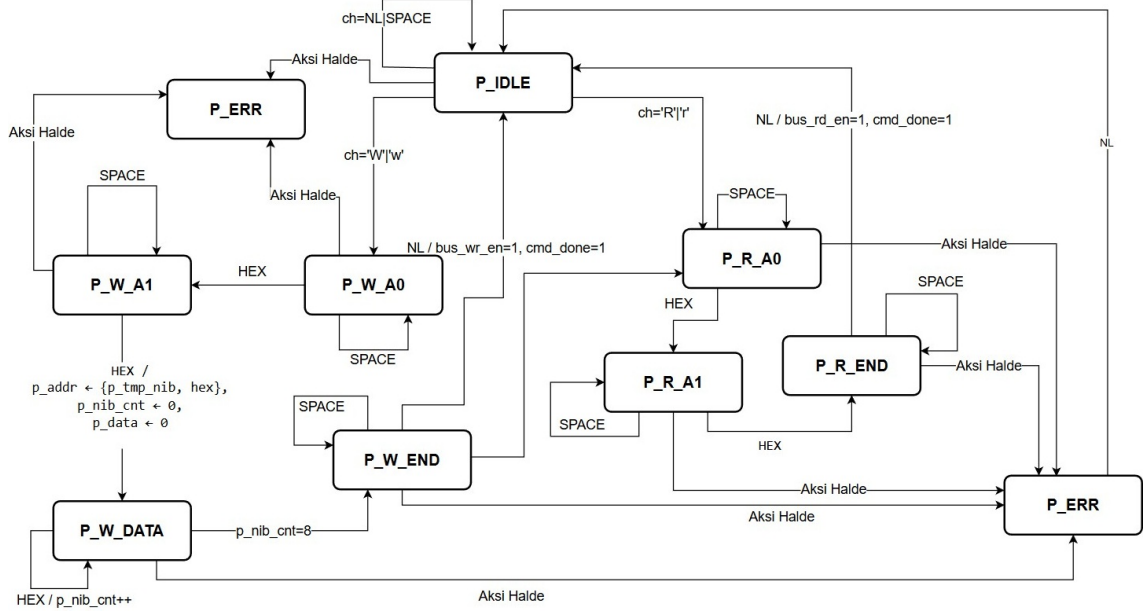
Alıcıdan gelen her geçerli byte ($rx_byte_valid=1$) komut çözümleyici FSM tarafından değerlendirilir. Bu FSM, P_IDLE başlangıç durumu da dahil olmak üzere hem yazma (W/w) hem okuma (R/r) komutlarını destekleyecek şekilde tasarlanmıştır. Çözümleyici tasarımı ile ilgili açıklamalar Çizelge 3.21’de verilmiştir.

Çizelge 3.21 UART komut çözümleyici (parser FSM) tarafından gerçekleştirilen temel işlemler

İşlem	Açıklama
ASCII-HEX çözümleme	Gelen karakterlerin geçerli bir HEX değeri olup olmadığı kontrol edilir ve her karakter 4 bitlik nibble’a dönüştürülür.
Adres toplanması	Ardışık iki HEX karakter, geçici nibble üzerinden birleştirilerek 8 bitlik adres oluşturulur.
32 bit veri birikimi	P_W_DATA durumunda her HEX karakter 4 bitlik parça olarak p_data’ya eklenir; 32 bit tamamlandığında işleme son verilir.
Register File erişim sinyalleri	Satır sonu algılandığında okuma veya yazma erişimi tetiklenir; ilgili adres ve veri sinyalleri çıkışa verilir ve cmd_done_p üretilir.
Hata yönetimi	Geçersiz karakterde FSM P_ERR durumuna geçer; satır sonuna kadar giriş yok sayılır ve ardından P_IDLE durumuna dönülür.

Çözümleyici FSM ile kayıt dosyası arabirimi arasındaki bu el sıkışma şeması, komut çözümleme, kayıt erişimi ve yanıt üretimi süreçlerini birbirinden gevşek bağlı (loosely coupled) kılarak tase-

rının genişlemeye açık ve modüler olmasını sağlamaktadır. Çözümleyici modülü için FSM akışı Şekil 3.20’de sunulmuştur.



Şekil 3.20 Seri haberleşme bloğunun komut çözümleyici modülüne ait FSM akışı

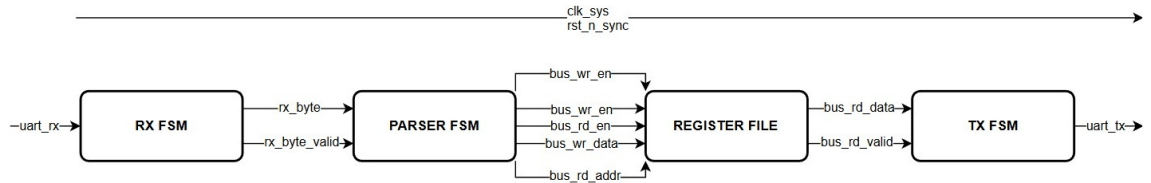
Uygulanan UART protokolü, kullanıcı tarafından okunabilir ve terminal üzerinden kolayca test edilebilir olacak şekilde ASCII tabanlı tasarlanmıştır. Tasarımda kullanılan temel komutlar Çizelge 3.22’de verilmiştir.

Çizelge 3.22 UART üzerinden kullanılan komut formatları (sadeleştirilmiş)

Komut Türü	Açıklama
Yazma Komutu	W AA DDDDDDDD<NL> formatı kullanılır. W/w işlem tipini belirtir, AA iki haneli adresi, DDDDDDDD ise 32 bit veriyi temsil eder. Satır sonu (LF/CR) geldiğinde yazma işlemi başlatılır.
Okuma Komutu	R AA<NL> formatındadır. R/r komut karakterini adres (AA) izler. Satır sonu algılandığında okuma isteği üretilir. Okuma tamamlandığında sadece okunan verinin düşük anlamlı 8 biti UART üzerinden gönderilir.

Boşluk karakterleri (0x20) komut akışı boyunca çoğu durumda göz ardı edilmekte, satır sonu karakterleri ise is_nl fonksiyonu ile soyutlanarak hem komut sonlandırma hem de hata durumundan çıkış için kullanılmaktadır. Böylece terminal üzerinden girilen komutların hem büyük/küçük harf duyarlı, hem de sınırlı biçimde boşluk toleranslı olması sağlanmıştır.

Modül, UART hattı (tx_o), alıcı byte arayüzü (rx_byte_o, rx_byte_valid_o) ve durum sinyalleri (tx_busy_o, cmd_done_o) üzerinden üst seviye tasarımla entegre edilmektedir. cmd_done_o sinyali, her bir R/W komutunun işleme alındığını bildirerek yazılım tarafında komut bazlı senkronizasyon imkânı tanımakta; tx_busy_o ise okuma yanıtlarının ardışık olarak güvenli biçimde sıralanmasına yardımcı olmaktadır. Kodlanan uart_path.vhd için hazırlanan genel çalışmayı kısa ve öz ifade eden FSM Şekil 3.21’de sunulmuştur.



Şekil 3.21 uart_path.vhd modülüne ait genel haberleşme FSM akışı

3.4.7 LVDS mimarisi ve üst hiyerarşinin geliştirilmesi

FPGA üzerinde çalışan tüm alt modüller, pulse_delay_top isimli üst hiyerarşi (top-level) VHDL tasarımı altında birleştirilmiştir. Bu blok; ADC'den gelen diferansiyel LVDS saat ve veri hatlarının alınması, örneklerin hizalanıp sayısallaştırılması, UART üzerinden kayıt haritasına erişim, eşiğe dayalı sinyal tespiti ve gecikmeli darbe üretiminin aynı saat alanında koordine edilmesi görevlerini üstlenmektedir.

ADC modülünden gelen diferansiyel DCO saat işareti (adc_clk_in_p/n), Xilinx 7-serisi IBUFDS tamponu üzerinden tek uçlu saat işaretine (dco_se) dönüştürülmüştür. Bu saat işareti iki farklı amaçla Çizelge 3.23'te anlatıldığı gibi kullanılmaktadır.

Çizelge 3.23 ADC saat ağında kullanılan saatlerin görevleri

Saat Türü	Açıklama
Yüksek hızlı örnekleme saati	BUFIO ile üretilen clk_deser sinyali, ISERDESE2 bloklarında DDR kipinde veri örnekleme için kullanılır. Böylece ADC'den gelen LVDS veri akışı yüksek hızda ve doğru fazda yakalanır.
Mantık ve kontrol saati	BUFR bloğu ile DCO saatinin '2' bölünmesiyle elde edilen clk_sys, yaklaşık 100 MHz'lık sistem saatidir. FPGA iç mantığı, eşik işlemleri, kayıt dosyası erişimi ve darbe üretimi bu saat alanında yürütülür.

IDELAY bloklarının kalibrasyonu için, DCO saatinden türetilen referans saat BUFG üzerinden

küresel saat ağına (clk_ref_200) taşınmış ve IDELAYCTRL birimi bu saat ile beslenmiştir. IDELAYCTRL çıkışındaki RDY bayrağı, saat altyapısının kararlı hale geldiğini göstermekte ve tasarımda kilitlenme sinyali (clk_locked) olarak kullanılmaktadır. Harici asenkron reset girişi (sys_rst_n), clk_rst_ctrl modülü ile clk_sys alanında senkronize edilerek rst_n_sync sinyali üretilmiş; bu sinyal sistem saatine yeniden zamanlanarak tüm flip-flop'ların resetten aynı saat kenarında çıkması sağlanmış ve metastabilite oluşma riski önemli ölçüde azaltılmıştır.

ADC'den gelen 12 bitlik diferansiyel veri hattı (adc_data_in_p/n[11:0]), her bit için jenerik bir generate döngüsüyle işlenmektedir. Her bir veri hattının FPGA üzerindeki işleme adımları Çizelge 3.24'te özetlenmiştir.

Çizelge 3.24 ADC'den gelen LVDS veri hatlarının FPGA üzerinde işleme adımları

Adım	Açıklama
Diferansiyel-tek uçlu dönüşüm	IBUFDS bloğu, ADC'den gelen diferansiyel veri hattını tek uçlu data_se_raw sinyaline dönüştürür.
Gecikme ayarı (IDELAYE2)	IDELAYE2, sabit tap değeri (20) ile bu sinyale zaman gecikmesi ekler. Böylece ADC-FPGA arasındaki iz farkları ve faz kaymaları telafi edilerek örnekleme anı hizalanır.
DDR deserileştirme (ISERDESE2)	Geciktirilmiş sinyal, ISERDESE2 bloğuna uygulanır. DDR kipinde her DCO çevriminde iki örnek alınarak, clk_sys alanında adc_data_from_q1 ve adc_data_from_q2 paralel verilerine dönüştürülür.

Bu yapı sayesinde ADC çıkışındaki 400 MSPS seviyesindeki seri LVDS veri akışı, FPGA içinde clk_sys alanında iki adet 12 bitlik kanal (Q1 ve Q2) olarak işlenebilir hale gelmiştir. Sabit tap değerine dayalı gecikme ayarı, sistemin çalışma frekansı ve kart yerleşim koşulları için yeterli zamanlama marjı sağlayacak şekilde seçilmiştir.

ISERDESE2 çıkışındaki iki fazdaki 12 bitlik ADC örnekleri (adc_data_from_q1 ve adc_data_from_q2), FPGA içinde temel bir eşik ön-işleme bloğuna tabi tutulmaktadır. Burada *faz-veya* mantığıyla çalışan iki adet kombinasyonel karşılaştırmacı Çizelge 3.25'te aktarıldığı şekilde tanımlanmıştır.

Çizelge 3.25 ADC verisi için kullanılan eşik karşılaştırmacılarının işlevleri

Sinyal	Açıklama
det_above_low_c	İki fazdan herhangi biri alt eşik değerini (3277) geçtiğinde lojik 1 üreten alt eşik karşılaştırmacıdır.
det_above_high_c	İki fazdan herhangi biri üst eşik değerini (3786) geçtiğinde lojik 1 üreten üst eşik karşılaştırmacıdır.

Bu kombinasyonel sinyaller, 'clk_sys' alanında kayıt altına alınarak 'det_above_low_r' ve 'det_above_high_r' şeklinde senkron hale getirilmiştir. Böylece eşik geçişlerine ait bilgi, daha sonra kullanılan 'signal_detector' durum makinesine zamanlama açısından güvenli ve metastabiliteden arındırılmış bir biçimde aktarılmaktadır. 'signal_detector' modülünün ürettiği iki bitlik sınıflandırma çıkışı (s_detected_type), mantıksal OR işlemiyle tek bir tetik sinyaline (s_any_trigger) dönüştürülmekte ve bu sinyal gecikmeli darbe üretim bloğu (pulse_gen) için başlangıç tetikleyicisi olarak kullanılmaktadır.

Tasarımda önemli bir yöntemsel iyileştirme, UART haberleşme katmanı (uart_path) ile kayıt dosyası bloğu (reg_file) arasına yerleştirilen iki kademeli 'yazmaç bölme (register slice)' yapısıdır. Bu yapı ile hem yazma hem okuma yolları ardışık iki kayıt katmanı üzerinden geçirilmiştir. Bu tasarım aşaması Çizelge 3.26'da aktarılmıştır.

Çizelge 3.26 UART–kayıt dosyası arasındaki iki kademeli boru hattı yapısı

Yol	Açıklama
Yazma yolu	s_wr_en, s_wr_addr ve s_wr_data sinyalleri; sırasıyla wr_en_r/rr, wr_addr_r/rr ve wr_data_r/rr yazmaçlarından geçirilerek reg_file bloğuna iletilir.
Okuma isteği yolu	s_rd_en ve s_rd_addr sinyalleri; rd_en_r/rr ve rd_addr_r/rr üzerinden ardışık olarak yazmaçlanarak okuma arabirimine aktarılır.
Okuma verisi dönüş yolu	reg_file çıkışındaki okuma verisi (s_rd_data) ve geçerlilik bayrağı (s_rd_valid); iki kademeli dönüş boru hattını (s_rd_data_p1/p2, s_rd_valid_p1/p2) üzerinden uart_path modülüne taşınır.

Tüm bu boru hattı yazmaçları, senkron reset (rst_n_sync) aktif olduğunda '0' değerine çekilmekte; böylece hem FPGA yerleştirme/yönlendirme aşamasında zamanlama analizini zorlaştıran 'X/U' başlangıç durumları engellenmekte, hem de UART kayıt dosyası yolundaki kritik gecikme süresi iki saat çevrimine yayararak kısaltılmaktadır. Bu yöntem, 100 MHz sistem saatinde güvenli zamanlama marjı sağlayacak şekilde tasarlanmış ve üst seviye tasarımın zamanlama kapanışını (timing closure) kolaylaştırmıştır.

VHDL kodunda reg_file bloğundan okunan gecikme (s_delay_val) ve darbe genişliği (s_pulse_width) parametreleri ile kontrol bitleri (s_ctrl_en ve s_ctrl_arm), pulse_gen modülüne aktarılmakta; signal_detector bloğunda üretilen s_any_trigger sinyaliyle tetiklenen yapı, programlanabilir gecikme ve darbe genişliğine sahip tek uçlu bir çıkış darbesi (pulse_out) üretmektedir. Darbe üretim durumu (s_pulse_busy), FPGA kartı üzerindeki LED'lerden biri üzerinden kullanıcıya geri

4. BULGULAR

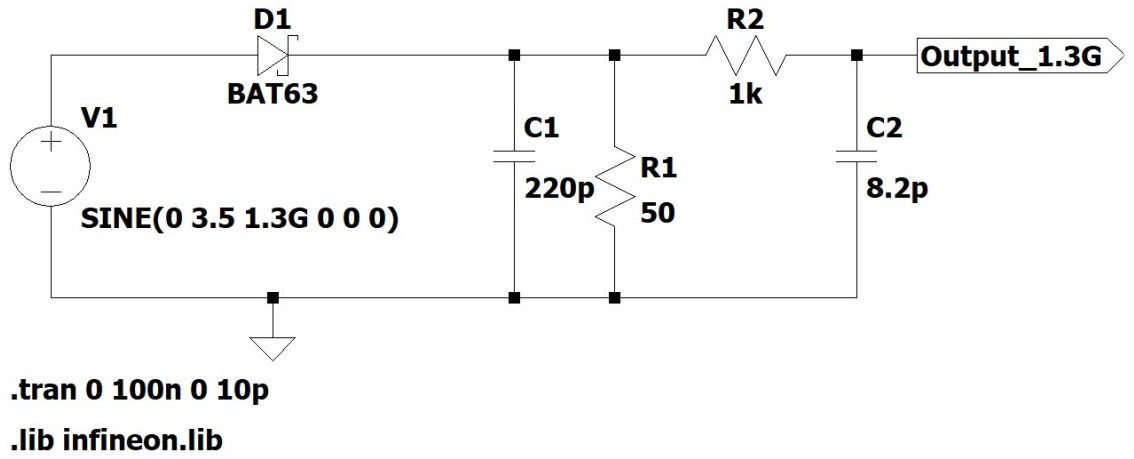
Bu çalışmada geliştirilen mimarinin doğrulanması amacıyla hem analog hem de sayısal katmanda çeşitli benzetim ve tasarım çalışmaları yürütülmüştür. Bu bölümde, sırasıyla Schottky diyot doğrultucu devresinin LTSpice ortamındaki benzetim sonuçları ve Vivado 2025.1 kullanılarak geliştirilen FPGA tabanlı sayısal mimarinin benzetim bulguları sunulmakta; elde edilen işaret çıktıları ve sayısal değerler üzerinden tasarımın doğruluğu tartışılmaktadır.

4.1 Doğrultucu Devresinin Benzetimi

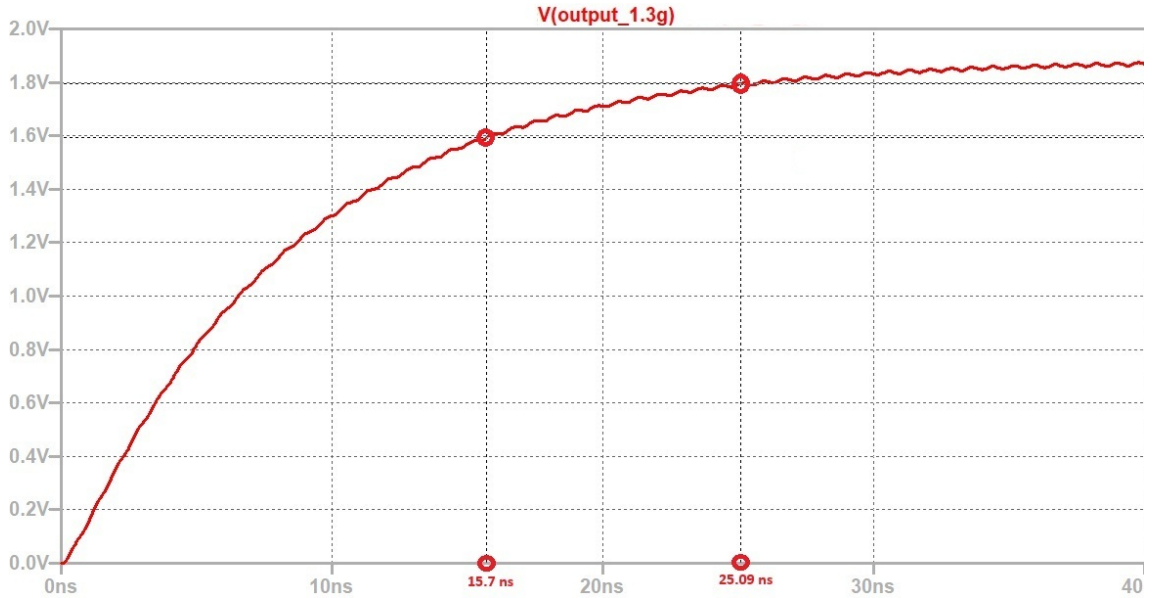
Doğrultucu devre tasarımında, iki farklı çalışma frekansına (1.3 GHz ve 260 MHz) karşılık gelen iki ayrı konfigürasyon oluşturulmuştur. Devre topolojisi her iki durumda da aynı olup, yalnızca RF işaret kaynağının frekansı ve buna bağlı olarak doğrultulmuş zarfın zaman ölçeği farklılık göstermektedir. Her iki senaryoda da $3.5 V_{pp}$ genlikli sinüs işareti, 50Ω yük direnci üzerinden doğrultulmuş, ardından çıkış zarfının istenen sürede yükselmesini sağlamak için ikinci bir RC filtresinden geçirilmiş ve C2 kapasitörü üzerindeki çıkış gerilimi izlenmiştir.

Çizilen iki temel devrenin benzetimi LTSpice ortamında gerçekleştirilmiştir. Kullanılan BAT63 diyodunun model parametreleri LTSpice kütüphanesinde doğrudan bulunmadığından, üretici verilerinden yola çıkılarak devreye eklenmiştir. Doğrultulan işaretin 1.6 V–1.8 V aralığında seyrettiği zaman pencereleri özellikle incelenmiş ve bu pencereler FPGA tarafındaki zamanlama analizinde frekans sınıflandırması için referans olarak kullanılmıştır.

1.3 GHz ve 260 MHz sinüs işaretleri $3.5 V_{pp}$ sinüs gerilim kaynağından sağlanmıştır.

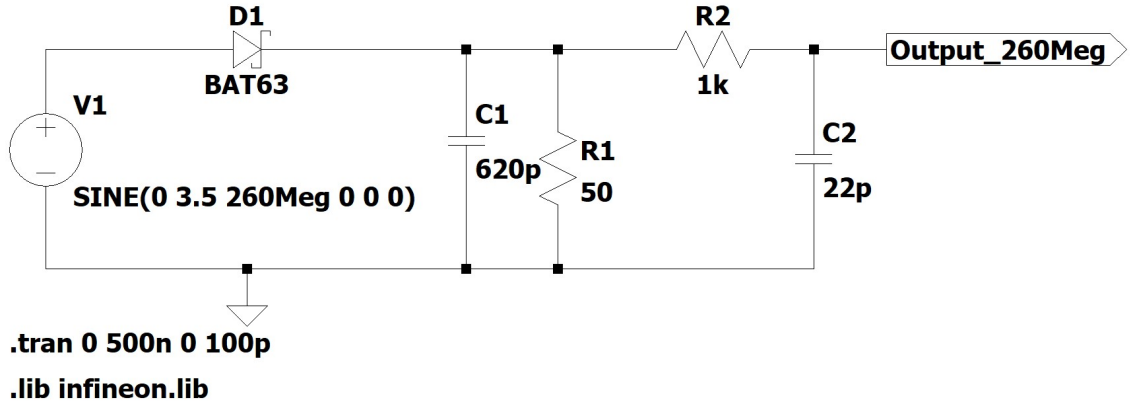


Şekil 4.1 LTSpice üzerinde 1.3 GHz giriş işaretine göre doğrultucu devre tasarımı

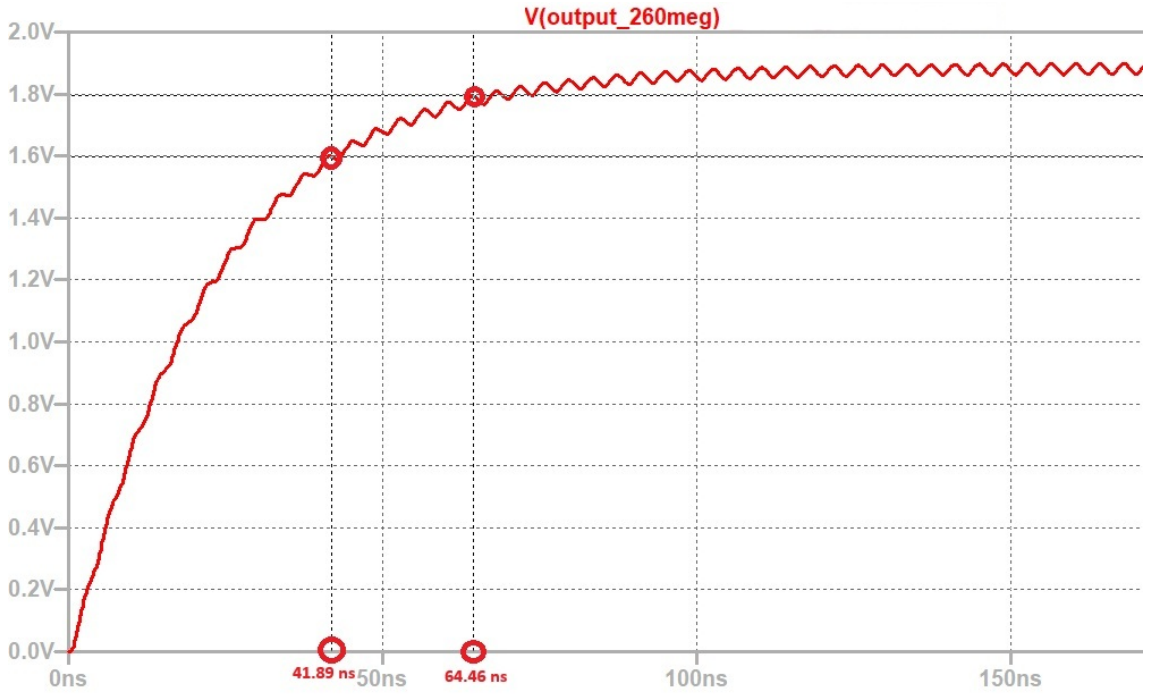


Şekil 4.2 LTSpice üzerinde 1.3 GHz giriş işaretine göre C2 kapasitörü üzerinden alınan çıkış gerilimi

Şekil 4.1’de gösterilen devreye göre Şekil 4.2’de gösterilen yaklaşık 1.6 V ve 1.8 V seviyelerine karşılık gelen iki gerilim noktası işaretlenmiştir. Bu iki nokta arasındaki zaman farkı 16 ns ile 25.79 ns arasında olup, yaklaşık 10 ns olarak ölçülmüştür. AD9434 ADC’nin 2.5 ns örnekleme periyodu dikkate alındığında, bu aralıkta birden fazla örnek alınabildiği ve söz konusu genlik penceresinin güvenli bir örnekleme bölgesi sağladığı görülmektedir.



Şekil 4.3 LTSpice üzerinde 260 MHz giriş işaretine göre doğrultucu devre tasarımı



Şekil 4.4 LTSpice üzerinde 260 MHz giriş işaretine göre C2 kapasitörü üzerinden alınan çıkış gerilimi

Şekil 4.3'te gösterilen devreye göre Şekil 4.4'te gösterilen yaklaşık 1.6 V ve 1.8 V seviyelerine karşılık gelen iki gerilim noktası işaretlenmiştir. Bu iki nokta arasındaki zaman farkı 41.89 ns ile 64.46 ns arasında olup yaklaşık 25 ns olarak hesaplanmıştır. AD9434'ün 2.5 ns örnekleme periyodu dikkate alındığında, bu sürenin çoklu örneklemeye imkân verdiği ve doğrultulmuş zarfın 260 MHz senaryosunda da güvenli bir biçimde yakalanabildiği görülmektedir.

LTSpice benzetimlerinde, tasarlanan devrenin üzerindeki komponentlerin her birinin sahip olduğu gerilim ve akım değerleri ölçülmüştür. Bunların tamamı Çizelge 4.1’de gösterilmiştir.

Çizelge 4.1 260 MHz ve 1.3 GHz frekanslarında Schottky diyot doğrultucu devresinin LTSpice benzetim sonuçları

Parametre	Sembol	260 MHz	1.3 GHz
Ortalama çıkış gerilimi	$V_{avg,out}$	1.7963 V	1.7228 V
RMS çıkış gerilimi	$V_{rms,out}$	1.8173 V	1.7605 V
Tepe çıkış gerilimi	$V_{peak,out}$	1.8995 V	1.8894 V
Ortalama diyot akımı	$I_{avg,D1}$	0.0396 A	0.0409 A
RMS diyot akımı	$I_{rms,D1}$	0.4900 A	0.5310 A
Tepe diyot akımı	$I_{peak,D1}$	1.5384 A	1.9174 A
Tepe-tepe diyot akımı	$I_{pp,D1}$	2.3958 A	2.8370 A
Ortalama yük akımı	$I_{avg,R1}$	0.0376 A	0.0375 A
RMS yük akımı	$I_{rms,R1}$	0.0386 A	0.0379 A
Doygunlukta ortalama çıkış gerilimi	$V_{avg,out,ss}$	1.7313 V	1.8779 V
Doygunlukta ortalama diyot akımı	$I_{avg,D1,ss}$	0.0370 A	0.0374 A

260 MHz frekansında doğrultucu çıkış gerilimi ortalama 1.80 V, tepe değeri ise 1.90 V olarak elde edilmiştir. 1.3 GHz frekansında ise ortalama çıkış gerilimi 1.72 V, tepe değeri 1.89 V seviyesine ulaşmıştır. Frekansın artmasıyla birlikte diyotun anahtarlama süresi ve parazitik kapasite etkileri belirginleştiğinden, doğrultulan işaretin genliğinde azalma ve dalga formunda küçük bozulmalar gözlenmiştir. Bununla birlikte, 1.3 GHz senaryosunda sistem kararlı duruma ulaştığında (steady-state) ortalama çıkış geriliminin 1.88 V seviyesinde sabitlendiği ve dolayısıyla DC zarfın hem 260 MHz hem de 1.3 GHz için ADC giriş aralığı açısından yeterli genlikte ve kararlı biçimde sürdürülebildiği görülmüştür. ADC girişine uygulanan doğrultulmuş işaretin gerilim değerleri Çizelge 4.2’de özetlenmiştir.

Çizelge 4.2 260 MHz ve 1.3 GHz frekanslarında Schottky diyot doğrultucu devresinin ADC girişine sağladığı çıkış gerilimlerinin özet değerleri

Frekans	$V_{avg,out}$ (V)	$V_{avg,out,ss}$ (V)	$V_{peak,out}$ (V)
260 MHz	1.7963	1.7313	1.8995
1.3 GHz	1.7228	1.8779	1.8894

4.2 Vivado Benzetimi ve Ölçümler

Gerçekleştirilen tasarım, 7 farklı test ile incelenmiştir. Bu testler; doğru tespit ve karar verme, sınır değerlerinin doğrulanması ve esnek parametre aralıklarında sistem tepkisinin incelenmesi gibi

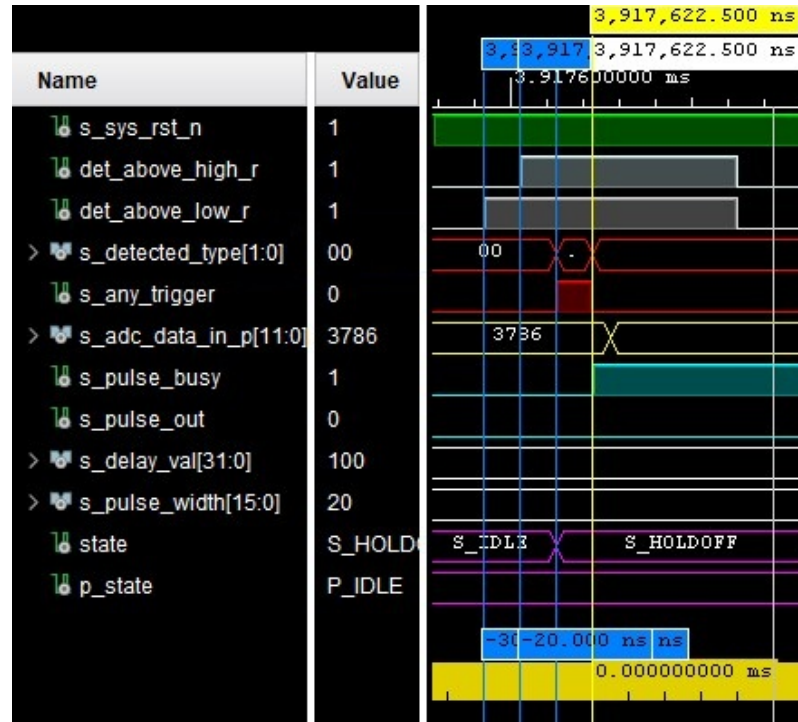
temel tasarım hedeflerini kapsamaktadır. Bu testler “tb_pulse_delay_top.vhd” modülü üzerinden koşulmuştur.

Benzetimlere ait testler temelinde; UART aracılığıyla kullanıcı tarafından sağlanan gecikme ve çıkış darbe genişliği değerlerinin yazılması, ADC’nin örneklediği işaretin FPGA’ye iletilmesi, FPGA’nin gelen işaretin tasarım parametrelerine göre 1.3 GHz veya 260 MHz olduğuna karar vermesi ve kullanıcı parametrelerine göre çıkış darbesi üretilmesi doğrulanmıştır.

4.2.1 Test 1 1.3 GHz için tespit ve tetik üretimi

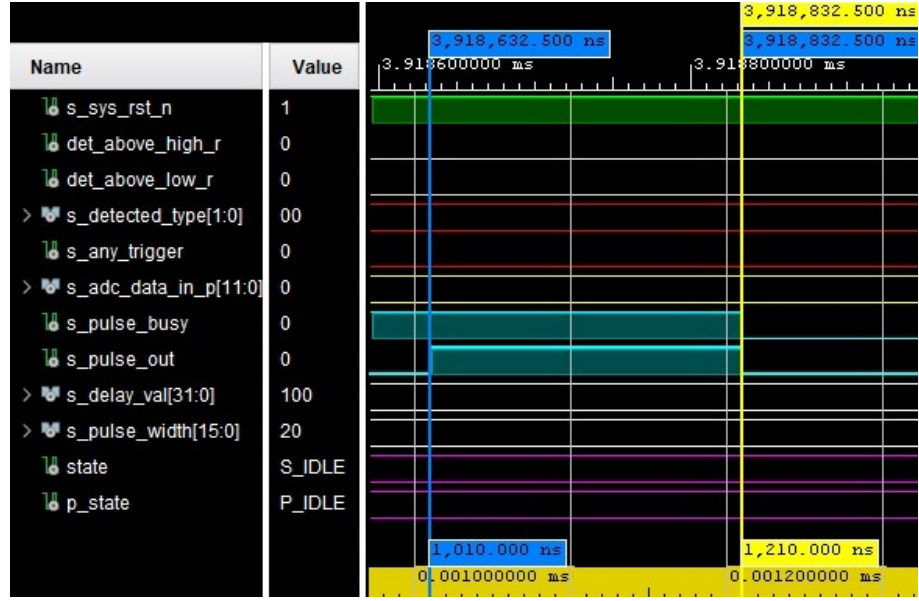
Test 1’deki amaç, 1.3 GHz giriş işaretinin doğru şekilde algılanması ve kullanıcı tarafından UART üzerinden ayarlanan parametrelere uygun tek atımlık darbe üretilmesidir. Bunun için önce “W 0C 00000014” komutu ile darbe genişliği 20 çevirim, “W 04 00000064” komutu ile gecikme süresi 100 çevirim olarak kayıt dosyasına yazılmış, ardından “W 00 00000003” komutu ile sistem etkinleştirilmiştir (“EN=1”, “ARM=1”).

Testbench fonksiyonu, düşük eşik üzerinde çok kısa süre kalan ve ardından hızlı şekilde yüksek eşik üzerine çıkan bir giriş deseni üretmiştir. Burada s_adc_data_in_p= 3277 olduğundan yaklaşık 2 DCO çevrimi (2x5 ns= 10 ns) sonra det_above_low_r= 1 olmuştur. 1 DCO çevrimi (5 ns) sonrasında ise det_above_high_r= 1 olmuş; böylece arada geçen süre 10 ns (count_low_dco= 2, yaklaşık 10 ns) olarak hesaplanmıştır. Bu hesaplama ardından gelen ilk saat darbesinde signal_detector çıkışının s_detected_type= “01” ürettiği ve s_any_trigger işaretinin tek çevrimlik bir tetik oluşturduğu gözlenmiştir. Dedektör, pulse genişliğini tamamlayıp sayacı dondurduktan sonra sonucu bir sonraki saat çevriminde günceller; bu nedenle s_detected_type= “01”, ilk eşik aşımından yaklaşık 48.75 ns sonra aktif olmuştur. Bu davranış, sistemin gürültülü/kararsız geçişlerde yanlış sınıflandırma yapmasını engeller. Test sürecinde tespit aşamasında gerçekleşen işaret değişimleri Şekil 4.5’te sunulmuştur.



Şekil 4.5 Test-1 1.3 GHz tespiti: s_adc_clk_in_p,s_adc_in_p, det_above_low_r, det_above_high_r, s_any_trigger ve karar işareti s_detected_type= “01”. İki eşik arası $\Delta t \approx 10 \text{ ns}$; karar güncellemesinin darbe tamamlanması ardından yapılması

pulse_gen modülü, bu tetiklemeden sonra yaklaşık 100 çevirim ($1 \mu s$) gecikme ile aktif olmuş ve 20 çevirim (200 ns) süreyle “pulse_out” sinyalini lojik ‘1’ seviyesinde üretmiştir. Burada gecikme değerleri s_delay_val= 100 çevrim, s_pulse_width= 20 çevrim olarak girilmiş olduğundan dolayı 1000 ns gecikme ardından ve 200 ns darbe genişliği ile bir çıkış tetiği oluşturulmuştur. Bu aşama Şekil 4.6’da sunulmuştur.



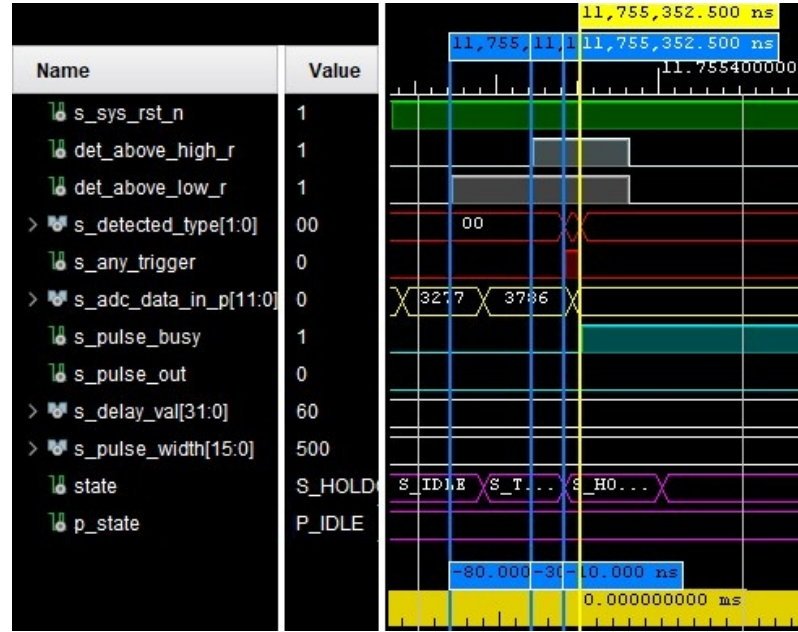
Şekil 4.6 Test 1-Tetik üretimi: aşamasında tetiğin; 1000 ns gecikme, 200 ns darbe genişliği ile üretilmesi

4.2.2 Test 2 260 MHz için tespit ve tetik üretimi

Test 2’de 260 MHz sınıfı giriş işareti için Test 1’deki süreç aynı şekilde fakat farklı parametrelerle doğrulama yapılmıştır. W 0C 00000028 komutu ile darbe genişliği 40 çevirim, W 04 000000F0 komutu ile gecikme süresi 240 çevirim olarak ayarlanmış ve sistem yeniden işaret girdisi benzetimi için etkinleştirilmiştir. Test, düşük eşik üzerinde daha uzun süre kalan (count_low_dco= 12, yaklaşık 60 ns) bir giriş deseni uygulamıştır. Simülasyon sonucunda, yaklaşık 60 ns’lik bu fark için s_detected_type= “10” işaretinin üretildiği ve 260 MHz sınıfının doğru şekilde tespit edildiği görülmüştür. Bu durum Şekil 4.7’de sunulmuştur.

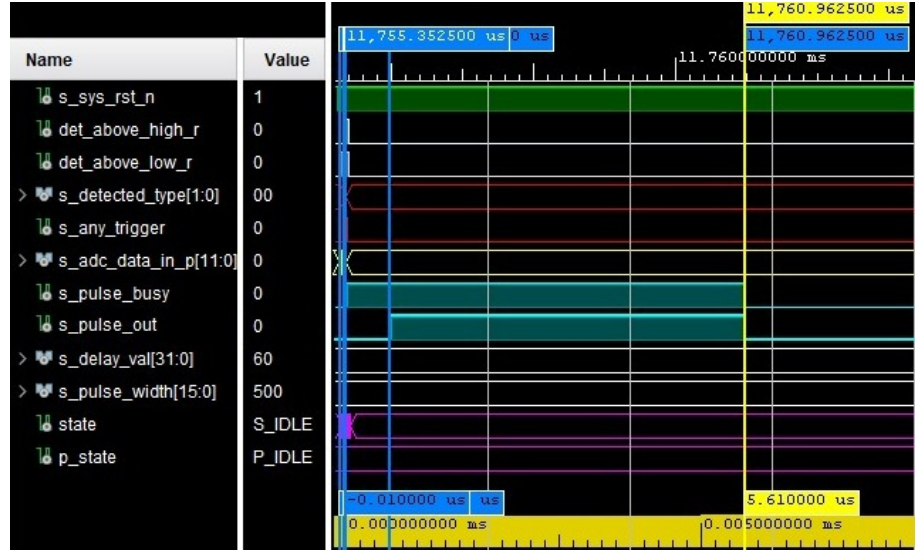
4.2.3 Test 3 kısa gecikme ve uzun darbe üretimi

Üçüncü testte, darbe genişliği parametresinin pratik kullanım aralığı sınanmıştır. W 0C 000001F4 komutu ile 500 çevirim darbe genişliği, W 04 0000003C komutu ile 60 çevirim gecikme değeri olarak ayarlanmış, ardından 260 MHz sınıfına karşılık gelen bir giriş deseni uygulanmıştır. Bu testte det_above_low_r ve det_above_high_r işaretleri arasındaki süre farkı count_low_dco= 10 (yaklaşık 50 ns) olarak hesaplanmış ve bu değer 260 MHz sınıfına karşılık gelecek şekilde s_detected_type= “10” olarak üretilmiştir. Bu durum Şekil 4.9’da sunulmuştur.



Şekil 4.9 Test-3 Kısa gecikme ve uzun darbe üretimi: s_adc_clk_in_p,s_adc_in_p, det_above_low_r, det_above_high_r, s_any_trigger ve karar işareti s_detected_type= “10”. İki eşik arası $\Delta t \approx 50 \text{ ns}$; karar güncellemesinin darbe tamamlanması ardından yapılması

Simülasyon sonuçlarında tetikleme sonrasında pulse_out sinyalinin yaklaşık 60 çevirim gecikme ile başladığı ve 500 çevirim boyunca kesintisiz olarak lojik ‘1’ seviyesinde kaldığı gözlemlenmiştir. Bu senaryo, pulse_gen modülünün uzun darbe sürelerinde kararlı şekilde çalıştığını ve sayaç taşması veya erken sonlanma gibi bir hata üretmediğini doğrulamaktadır. Bu durum Şekil 4.10’da sunulmuştur.



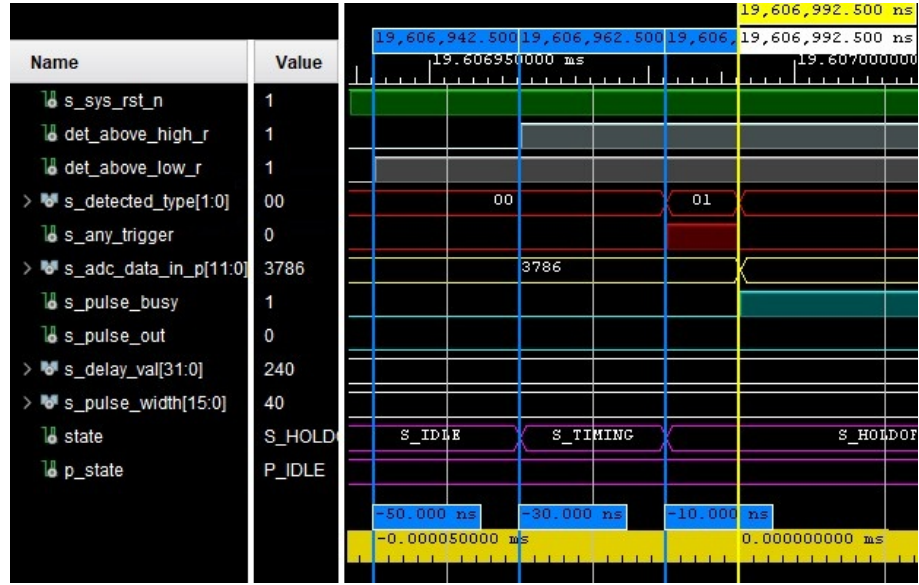
Şekil 4.10 Test 3-Tetik üretimi: 600 ns gecikme, 5000 ns darbe genişliği ile tetiğin üretilmesi

4.2.4 Test 4 uzun gecikme ve kısa darbe üretimi

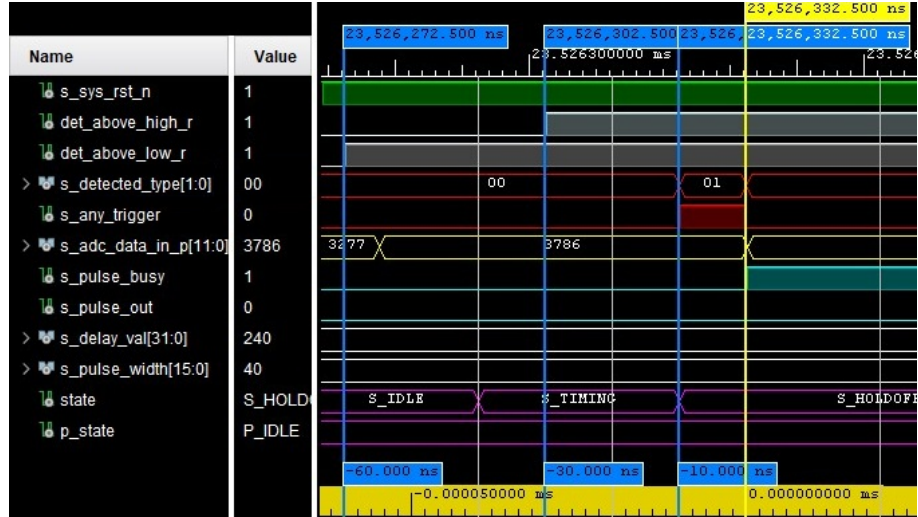
Dördüncü test senaryosu, gecikme parametresinin üst sınırlara yakın kullanımını değerlendirmektedir. W 0C 00000005 ile 5 çevirim darbe genişliği, W 04 000003E8 ile 1000 çevirim gecikme süresi tanımlanmış ve 1.3 GHz işaretine karşılık gelen kısa süreli eşik aşımı uygulanmıştır. Bu durum Şekil 4.11’de sunulmuştur.

4.2.5 Test 5 ve Test 6 belirlenen sınırın altında sistem tepkisi

Beşinci ve altıncı testler, 1.3 GHz ve 260 MHz sınıfları arasındaki karar sınırının doğrulanmasına yöneliktir. Test 5’te count_low_dco= 5 (yaklaşık 25 ns) olacak şekilde düşük eşik aşımı kısa tutulmuş ve tasarımın bu durumu 1.3 GHz sınıfında değerlendirmesi beklenmiştir. Simülasyon çıktılarında s_detected_type= “01” elde edilmiştir. Test 6’da ise count_low_dco= 7 (yaklaşık 35 ns) ile daha uzun bir düşük eşik süresi uygulanmış ve bunun 260 MHz sınıfına yakın bir durum olarak sınıflandırılması amaçlanmıştır. Bu durumda s_detected_type= “10” üretilmiş ve giriş işareti 260 MHz sınıfında değerlendirilmiştir. Bu durum Şekil 4.13’te ve Şekil 4.14’te sunulmuştur.

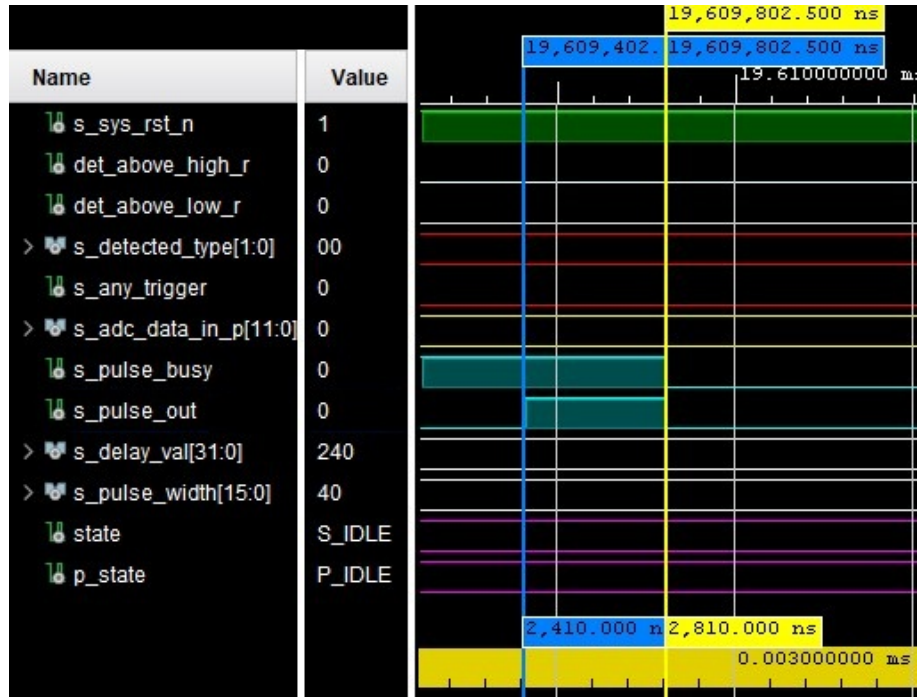


Şekil 4.13 Test-5 1.3 GHz tespiti: s_adc_clk_in_p, s_adc_in_p, det_above_low_r, det_above_high_r, s_any_trigger ve karar işareti s_detected_type= “01”. İki eşik arası $\Delta t \approx 25 \text{ ns}$; karar güncelleme darbe tamamlanması ardından yapılması

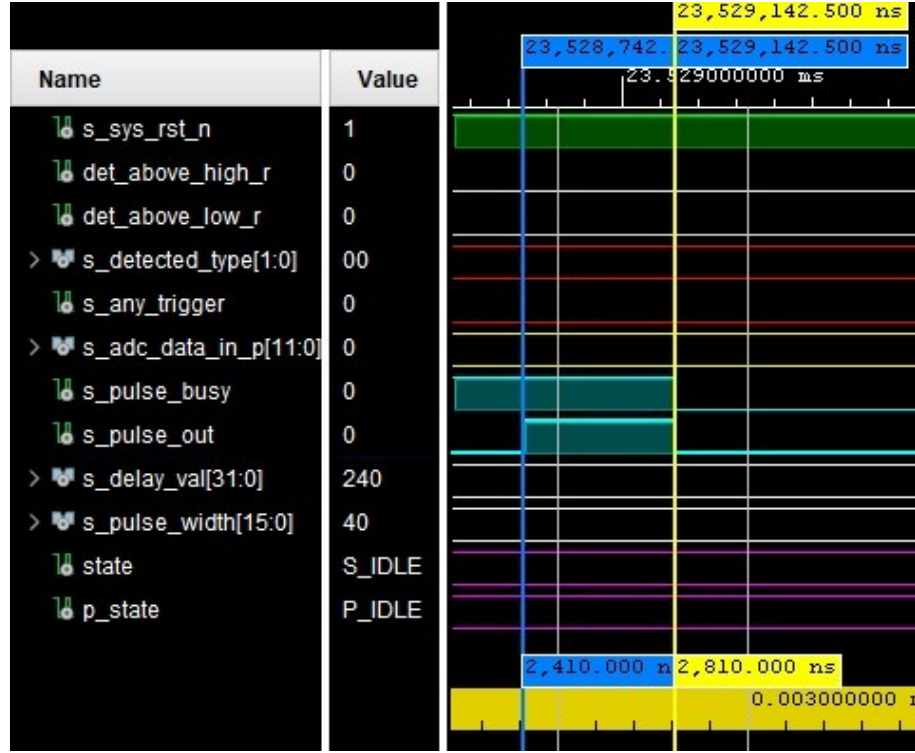


Şekil 4.14 Test-6 260 MHz tespiti: s_adc_clk_in_p, s_adc_in_p, det_above_low_r, det_above_high_r, s_any_trigger ve karar işareti s_detected_type= “10”. İki eşik arası $\Delta t \approx 35 \text{ ns}$; karar güncellenmenin darbe tamamlanması ardından yapılması

Her iki sınır testi birlikte değerlendirildiğinde, signal_detector modülünün zaman penceresi tabanlı karar mekanizmasının tasarlanan eşiklere uygun çalıştığı ve giriş işaretinin frekans karakteristiğini ayrıştırabildiği görülmektedir.



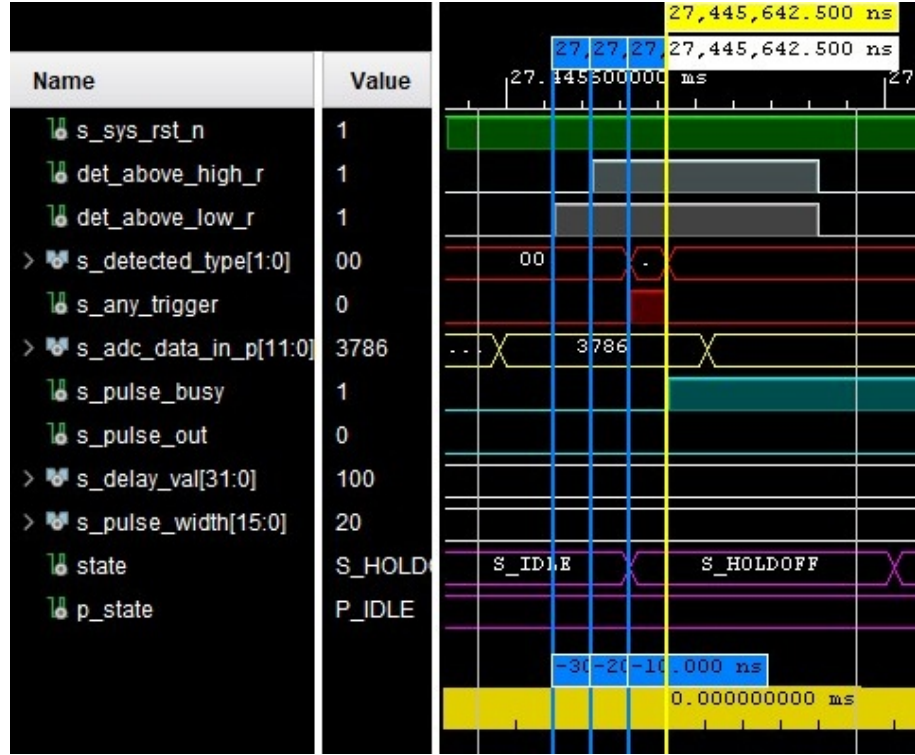
Şekil 4.15 Test 5-Tetik üretimi: 2400 ns gecikmeyle 400 ns darbe genişliği ile tetiğin üretilmesi



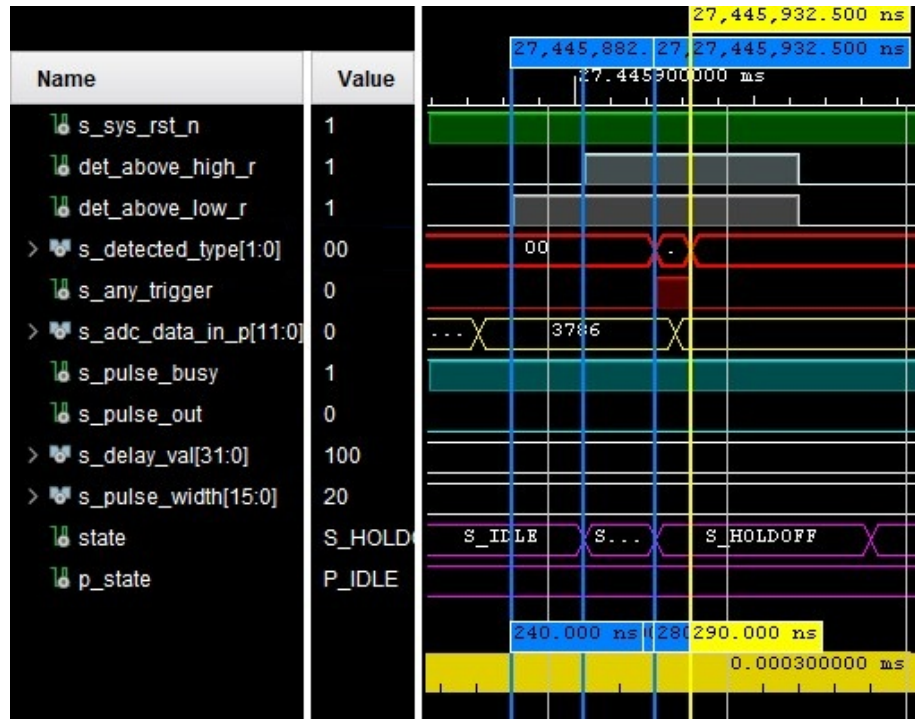
Şekil 4.16 Test 6-Tetik üretimi: 2400 ns gecikmeyle 400 ns darbe genişliği ile tetiğin üretilmesi

4.2.6 Test 7 kısa aralıklarla iki kez tetikleme gerçekleştirilmesi

İlk tetiklemeden sonra s_pulse_busy=“1” olduğu süre boyunca uygulanan ikinci tetik yok sayılmış ve s_pulse_out yalnızca ilk tetik için üretilmiştir. Yeni darbe, ancak mevcut darbe bittikten ve s_pulse_busy=“0” olduktan sonra mümkün hale gelmektedir. Bu davranış, yeniden tetikle-meye karşı tek atımlık (one-shot) güvenliğini doğrular. Yapılan test ile ilgili benzetim çıktıları Şekil 4.17’de ve Şekil 4.18’de sunulmuştur.

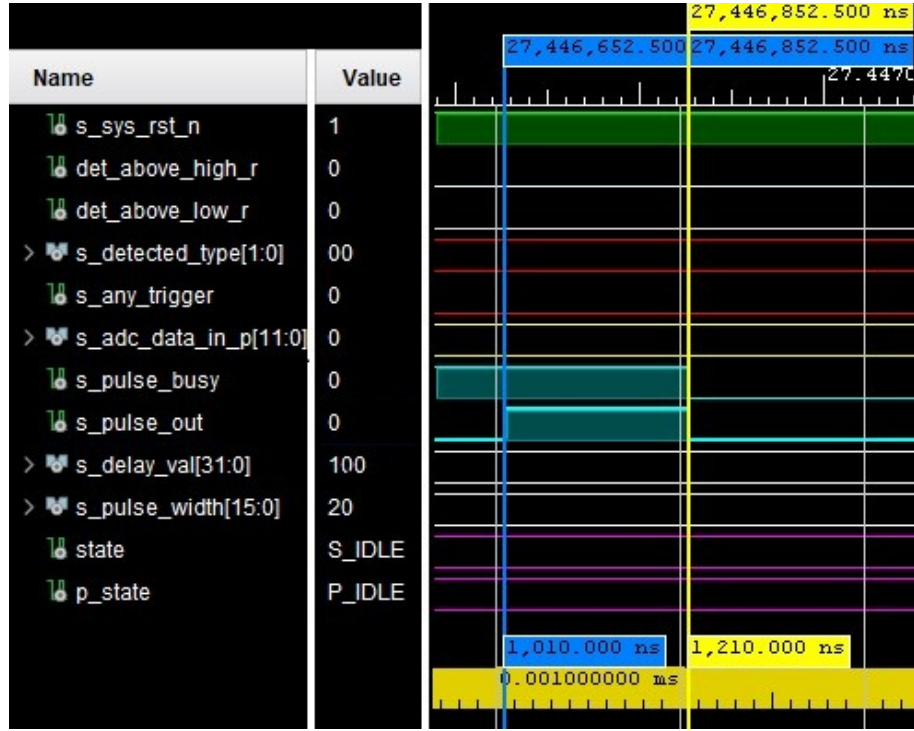


Şekil 4.17 Giriş işaretinin 1.3 GHz olduğunun tespit edilmesi aşamasında FPGA içerisinde tanımlı belirli başlı modül, port ve mantık birimlerinin işaret durumları



Şekil 4.18 Giriş işaretinin 1.3 GHz olduğunun tespit edilmesi aşamasında FPGA içerisinde tanımlı belirli başlı modül, port ve mantık birimlerinin işaret durumları

Simülasyon sonuçlarında, ilk tetikleme sonrasında busy_o sinyalinin darbe süresince lojik ‘1’ seviyesinde kaldığı, bu süre içerisinde gelen ikinci tetiklemenin yeni bir pulse_out üretimine neden olmadığı gözlenmiştir. Yeni darbe ancak mevcut darbenin tamamlanması ve busy_o sinyalinin ‘0’ seviyesine dönmesinden sonra mümkün hale gelmektedir. Bu davranış, sistemin istenildiği gibi “tekrar tetikleme korumalı”, tek atımlık bir tetikleme mantığına sahip olduğunu ve üst seviye güç devrelerinin istenmeyen ardışık tetiklerden korunabildiğini göstermektedir.



Şekil 4.19 Test 7 aşamasında tetiğin 1000 ns gecikmeyle 200 ns darbe genişliği ile üretilmesi

Yedi test senaryosu birlikte değerlendirildiğinde, tasarlanan mimarinin hem frekans sınıflandırması hem de darbe üretimi açısından başlangıçta belirlenen gereksinimleri karşıladığı görülmektedir. 1.3 GHz ve 260 MHz sınıfları için tanımlanan zaman pencereleri, sınır bölgelerinde dahi (Test 5 ve Test 6) tutarlı kararlar üretmiş; pulse_gen bloğu ise geniş bir gecikme ve darbe genişliği aralığında sayaç taşması, yeniden tetiklenme veya darbenin erken sonlanması gibi hatalar üretmeden çalışmıştır. Ayrıca, Test 7 ile doğrulanan busy tabanlı tek atımlık tetikleme davranışı, sistemin yüksek güçlü RF güç katlarını istenmeyen ardışık tetiklemelerden koruyabilecek şekilde güvenli bir kontrol mantığı sunduğunu göstermektedir. Test 7 tetik aşamasının benzetim çıktısı Şekil 4.19’da sunulmuştur.

5. TARTIŞMA VE SONUÇ

5.1 Tartışma

Bu tez kapsamında geliştirilen FPGA tabanlı RF sinyali tespiti ve zamanlamalı dürtü sinyali üretim sistemi, parçacık hızlandırıcılarında kullanılan RF baskılayıcı alt yapısına yönelik donanım tabanlı bir kontrol yaklaşımı ortaya koymaktadır. Schottky diyot temelli doğrultucu devresi ile yüksek frekanslı RF işaretlerinin hızlı ve düşük gürültülü biçimde tespiti sağlanmış, doğrultulmuş işaret AD9434 yüksek hızlı ADC aracılığıyla sayısallaştırılarak FPGA üzerinde işlenmiştir. Tasarlanan FSM tabanlı karar mekanizması, sistemin 260 MHz ve 1.3 GHz frekanslarında gelen işaretleri doğru biçimde ayırt edebildiğini göstermiştir. Bu çalışma, yüksek frekanslı RF darbelerinin tespitinde yazılım tabanlı yaklaşımlar yerine FPGA tabanlı, deterministik ve düşük gecikmeli bir donanım mimarisinin uygulanabilirliğini ortaya koymayı amaçlamaktadır.

LTSpice benzetimlerinde 1.3 GHz sinyalin daha kısa sürede doyuma ulaştığı, buna karşın 260 MHz sinyalin daha geniş zaman penceresi oluşturduğu gözlenmiştir. FPGA tarafında ise Vivado ortamında yürütülen testlerde, giriş sinyalinin genlik imzası belirlenen alt ve üst eşik aralıklarında başarılı biçimde yakalanmıştır. 400 MSPS örnekleme oranına sahip AD9434'ün seçimi, doğrultulmuş sinyalin zaman penceresini yeterli sayıda örnekle temsil edebilmesi açısından uygun bulunmuştur. Elde edilen ölçümler, LVDS tabanlı veri iletim hattının düşük gecikme ve kararlı örnek senkronizasyonu sağladığını da ortaya koymuştur. Bu gözlemler, iki frekans koşulu için doğrultulmuş sinyalin zaman penceresi karakteristiğinin eşik tabanlı FSM tarafından ayırt edilebilir olduğunu ve tetikleme kararının örnekleme tabanlı olarak üretilebildiğini göstermektedir.

Bu çalışmada doğrultma amacıyla kullanılan Schottky diyot tabanlı devre, tek uçlu (single-ended) çıkış verecek şekilde tasarlanmıştır. RF sinyali, yüksek hızlı bir BAT63 Schottky diyotu aracılığıyla doğrultularak filtrelenmiş ve bir DC bileşene dönüştürülmüştür. Bu çıkış, analog-sayısal dönüştürme işlemi için doğrudan AD9434 ADC'ye yönlendirilmiştir. Ancak kullanılan ADC diferansiyel girişli bir yapıya sahip olduğundan, doğrultucu devre ile ADC arasındaki giriş formatı farkı tasarım sürecinde dikkate alınmıştır.

Tek uçlu doğrultma yapısı, basit yerleşim, düşük devre karmaşıklığı ve hızlı prototipleme olanağı

sağlaması açısından avantajlıdır. Bu nedenle, sistemin ilk doğrulama ve benzetim aşamasında bu yapı tercih edilmiştir. Bununla birlikte, ADC'nin VIN+ ve VIN- pinleri arasındaki tam giriş aralığı efektif olarak kullanılamamakta, VIN- pininin sabit bir ofset gerilimiyle (örneğin 0.9 V) biaslanması nedeniyle ADC'nin tam dinamik aralığına ulaşamamaktadır. Bu durum, sinyal-genlik ilişkili ölçümlerde SNR ve ENOB gibi parametreleri sınırlandırabilmektedir. KiCad ortamında gerçekleştirilen devre tasarımı, benzetim sonuçları ile birebir uyumlu olacak şekilde yapılandırılmış olup, çalışmanın yalnızca teorik ve sayısal değil, aynı zamanda fiziksel olarak uygulanabilir bir sistem sunduğunu göstermektedir.

Alternatif olarak, doğrultucu devrenin diferansiyel çıkış verecek şekilde yeniden tasarlanması mümkündür. Bu amaçla iki Schottky diyot kullanılarak simetrik bir doğrultma/envelope algılama yapısı kurulabilir ve böylece ADC'nin diferansiyel girişine daha uygun, ortak-mod etkilerine daha az duyarlı bir sürme elde edilebilir. Buna ek olarak, dönüşümün DC bileşen taşımadığı dikkate alınmak kaydıyla, doğrultma öncesi RF/IF sinyalinin veya ADC girişinin AC-eşlemeli sürüldüğü uygulamalarda tek uçlu sinyal bir RF trafosu/balun aracılığıyla diferansiyel forma dönüştürülebilir; bu yaklaşım, örneğin AD9434'ün saat girişinde tek uçlu kaynağın RF trafosu ile diferansiyele çevrilmesi gibi pratik uygulamalarda yaygın olarak kullanılmaktadır. Bu dönüşüm yöntemlerinin yanı sıra, doğrultulmuş (DC/envelope içerikli) sinyalin diferansiyel ADC girişine taşınmasında tek uçlu-diferansiyel aktif dönüştürücü (fully-differential amplifier) kullanımı da literatürde önerilen bir yaklaşımdır. Bu yaklaşımlar ADC'nin etkin giriş aralığını kullanmaya, ortak-mod gürültüleri bastırmaya ve sinyal bütünlüğünü artırmaya olanak tanır (MiniCircuits, 2015; Analog Devices, 2013).

Sistemin temel hedefi, yüksek frekanslı RF darbelerinin mutlak genliğini ölçmekten ziyade bu darbelerin varlığını tespit ederek FPGA tabanlı tetikleme mekanizmasını çalıştırmaktır. Bu nedenle, mutlak genlik doğruluğundan ziyade sinyalin var/yok bilgisinin güvenilir biçimde saptanması yeterli görülmüştür. Bu nedenle tek uçlu doğrultma mimarisi, ilk prototip ve benzetim doğrulama aşaması için yeterli görülmüş; diferansiyel sürme ihtiyacı ise daha çok mutlak genlik ölçümü, SNR/ENOB optimizasyonu ve gürültü bağışıklığı hedeflendiğinde öncelik kazanan bir geliştirme adımı olarak değerlendirilmiştir.

Gelecek çalışmalarda, ADC performansının en üst seviyede değerlendirilmesi ve diferansiyel veri işleme hattının tam kapasiteyle kullanılabilmesi amacıyla doğrultucu devrenin diferansiyel çıkış

verecek biçimde yeniden tasarlanması önerilmektedir. Bu tür bir yapı, özellikle laboratuvar ortamında yapılacak doğrulama testlerinde daha yüksek sinyal bütünlüğü ve düşük gürültü seviyesi sağlayacaktır.

Literatürde benzer uygulamalarda, analog olarak potanslarla, mikrodenetleyici veya DSP tabanlı kontrol mimarilerinin sınırlı frekans yanıtı nedeniyle yüksek frekanslı RF işaretlerinin tespitinde kararsızlıklar gözlemlendiği bildirilmektedir (Karsli, 2019; Syratcev, 2013). Ayrıca, Schottky diyotların azınlık taşıyıcısı içermeyen metal–yarıiletken birleşim yapısı sayesinde düşük toparlanma süresi ve yüksek anahtarlama hızları sunması, sistemin yüksek frekanslı tepkisini desteklemiştir (Neamen, 2011). Bu fiziksel özellik, FPGA tabanlı karar mekanizmasının kısa süreli genlik değişimlerini doğru biçimde yakalayabilmesine katkıda bulunmuştur. Bu çalışma kapsamında geliştirilen FPGA tabanlı mimari, karar ve tetikleme sürecini tamamen donanım seviyesinde gerçekleştirerek, yazılım gecikmeleri ve zamanlama belirsizlikleri gibi mikrodenetleyici tabanlı yaklaşımlarda görülen sınırlamaları önemli ölçüde ortadan kaldırmıştır.

Bu çalışmada tespit ve tetikleme akışı saat çevrimleri üzerinden tasarlandığından, toplam işlem gecikmesi sistem saatine bağlı sabit bir çevrim sayısı ile sınırlıdır; dolayısıyla gecikme, deterministik olarak öngörülebilir ve tekrar üretilebilir bir yapıdadır.

Bununla birlikte sistemin testleri yalnızca benzetim ortamında gerçekleştirilmiştir. Gerçek donanım uygulamalarında, yüksek güçlü RF kaynaklarının fiziksel etkileri (ısı, elektromanyetik parazit, kazanç sapmaları) sinyal tespit performansını etkileyebilir. Bu nedenle, gelecekte sistemin fiziksel prototipinin laboratuvar koşullarında test edilmesi, yüksek güçlü RF dalga kılavuzlarına entegre edilmesi ve ADC/FPGA arayüzündeki gecikme kalibrasyonlarının yeniden optimize edilmesi önerilmektedir.

5.2 Sonuç

Bu çalışma kapsamında, parçacık hızlandırıcılarında kullanılan RF baskılayıcı sistemler için tetikleme, gecikme ve darbe üretimi işlevlerini tek bir donanım üzerinde bütünleştiren FPGA tabanlı bir kontrol mimarisi geliştirilmiştir. Schottky diyot doğrultucu devresi ile RF işaretinin tespiti sağlanmış, AD9434 ADC ile sayısallaştırılan işaret FPGA'ye aktarılmış ve FSM tabanlı yapı ile sinyal

tespiti, kullanıcı tanımlı gecikme uygulanması ve darbe üretimi işlevleri benzetim ortamında tutarlı biçimde gerçekleştirilmiştir. Bu yönleriyle geliştirilen sistem, yüksek frekanslı RF uygulamalarında deterministik zamanlama gerektiren tetikleme senaryoları için ölçeklenebilir bir donanım yaklaşımı sunmaktadır.

Geliştirilen sistemin başlıca çıktıları aşağıda özetlenmiştir:

- RF işaretinin doğrultulması ve ADC üzerinden örneklenmesi ile FPGA tarafında eşik tabanlı tespit kararının üretilebilmesi,
- Gecikme ve darbe genişliği parametrelerinin kullanıcı tarafından ayarlanabilir olması sayesinde farklı tetikleme senaryolarına uyarlanabilir bir yapı sunması,
- LVDS veri hattı üzerinden 400 MSPS örnekleme hızına uygun kararlı veri akışı ile örnek senkronizasyonunun korunması.

Geliştirme sürecinde kullanılan FPGA araç zincirinde (Vivado) lisans türüne bağlı olarak bazı gelişmiş analiz, hata ayıklama ve belirli IP çekirdeklerine erişim sınırlı olabilmektedir. Bu durum özellikle kapsamlı donanım içi gözlem (örn. entegre logic analyzer tabanlı debug), lisans gerektiren IP tabanlı genişletmeler ve ileri seviye raporlama adımlarında pratik kısıtlar doğurabilmektedir. Bu tez çalışmasında doğrulama ağırlıklı olarak benzetim ve masaüstü analizleri üzerinden yürütülmüş; lisanslı araç/özelliklerle yapılabilecek daha derin donanım içi doğrulama adımları gelecekteki çalışmalar için geliştirme alanı olarak değerlendirilmiştir.

Benzetim çıktıları, geliştirilen mimarinin iki frekans koşulunda da (260 MHz ve 1.3 GHz) tespit ve sınıflandırma davranışını deterministik biçimde üretebildiğini göstermiştir. FSM içerisinde alt/üst eşik karşılaştırması `det_above_low` ve `det_above_high` tamamlandıktan sonra `detected_type` sinyali 1 sistem saat çevrimi içerisinde güncellenmiş ve `detected_type=1` durumu her iki frekans senaryosunda da 10 ns (1 `clk_sys`) süreyle gözlenmiştir. Bu sonuç, sınıflandırma kararının saat çevrimleri ile sınırlandığını ve zamanlama açısından tekrar üretilebilir olduğunu göstermektedir. Ayrıca Test-7 senaryosu kapsamında yapılan doğrulamada tetik kaçırma gözlenmemiştir. Tasarım sonuçları özet olarak Çizelge 5.1’de sunulmuştur.

Çizelge 5.1 Sonuçların sayısal ve işlevsel özeti

Kriter	260 MHz	1.3 GHz	Not
Zaman penceresi	Geniş	Daha kısa	LTSpice gözlemi: 1.3 GHz daha hızlı doyum, 260 MHz daha geniş pencere
detected_type güncellenme gecikmesi	1 clk_sys		Eşik durumları inceleme sonrası 1 clock içinde sınıflandırma
detected_type=1 kalma süresi	10 ns	10 ns	100 MHz clk_sys ile 1 çevrim
Alt/üst eşik (RTL kod)	3276 / 3686		Tasarım parametreleri
Alt/üst eşik (benzetim)	3277 / 3786		Simülasyon stimulus/konfigürasyonu
Zamanlama (Timing) sonucu	Vivado implementasyonu ile doğrulandı		Bitstream üretimi lisans kısıtına takılmıştır
Tespitte veya tetiklemede kaçırma-bozulma	Testlerde gözlemlenmedi		Senaryo bazlı doğrulama
Ayarlanabilir gecikme ve darbe genişliği çözünürlüğü	10 ns (min. 10 ns)		100 MHz clk_sys ile çözünürlük 1 çevrimdir; gecikme ve darbe genişliği 10 ns adımlarla ayarlanabilir
SERDES saatinin örnekleme sıklığı	5 ns		200 MHz clk_deser ile çözünürlük 5 ns olarak 400 MSPS örnekleme

Bu çalışmada doğrulama ağırlıklı olarak benzetim ve masaüstü analizleri üzerinden yürütülmüştür. Tasarım akışında zamanlama açısından herhangi bir olumsuzluk gözlenmemiş ve Vivado implementasyon aşamasına kadar ilerlenerek doğrulama tamamlanmıştır; ancak lisans kısıtları nedeniyle bitstream üretimi gerçekleştirilememiştir. Buna ek olarak AD9434 ADC modülünün tedarik edilememesi, sistemin uçtan uca fiziksel donanım üzerinde test edilmesini sınırlamıştır. Bu nedenle, ADC modülünün temin edilmesi ve bitstream üretiminin mümkün olduğu bir doğrulama akışı ile gerçek RF girişleri altında ölçüm alınması, benzetim sonuçlarının deneysel çıktılarla karşılaştırılması ve sistemin uygulama ortamına taşınması çalışmanın doğal bir sonraki adımıdır.

FPGA tabanlı yapının önemli avantajlarından biri, saat darbe süresi olan 10 ns çözünürlükte gecikme değeri ve çıkış işaretinin darbe genişliği gibi parametrelerin tamamen kullanıcı tarafından ayarlanabilir olmasıdır. Bu esneklik, farklı RF sistemlerinin tetikleme gereksinimlerine kolaylıkla uyarlanabilmesini sağlamaktadır. Gecikme değerinin nanosaniye ölçeğinde hassas biçimde ayarlanabilmesi, yüksek frekanslı RF tespit uygulamalarında deterministik zamanlama açısından büyük önem taşımaktadır.

Tasarımda kullanılan zamanlama modülü, FPGA'nin sistem saat frekansına bağlı olarak gecikme süresini doğrudan saat çevrimleri üzerinden hesaplamaktadır. Bu nedenle, gecikme çözünürlüğü

temel saat periyoduna eşittir ve mevcut tasarımda 100 MHz sistem saati kullanıldığından çözünürlük 10 ns olarak elde edilmiştir. Kod içerisindeki sayaç ve kontrol parametreleri düzenlenerek minimum gecikme süresi 10 ns olarak korunmakta, ancak maksimum gecikme değeri tasarıma bağlı olarak kullanıcı tarafından istenen süreye kadar genişletilebilmektedir.

Buna ek olarak, FPGA'nin saat frekansı artırıldığında, sistemin çözünürlüğü de doğrudan iyileşmektedir. Örneğin, sistem saat frekansının 200 MHz'e çıkarılması durumunda, gecikme çözünürlüğü 5 ns seviyesine gelmekte ve zamanlama hassasiyeti iki katına çıkmaktadır. Bu durum, sistemin hem doğruluk hem de kararlılık açısından yüksek frekanslı RF uygulamalarına daha iyi uyum sağlamasına olanak tanımaktadır.

Bu çalışma benzetim tabanlı bir yapıda gerçekleştirilmiş olsa da, laboratuvar ortamında uygulanabilir bir sistemin ön adımını oluşturmaktadır. FPGA tabanlı sistemin, yüksek güçlü RF kaynaklarının bulunduğu deneysel platformlara entegre edilmesiyle hem zamanlama doğruluğu hem de sinyal tespit performansı gerçek koşullar altında değerlendirilebilecektir. Böylece ilerleyen çalışmalar sonucunda sistem, doğrulanmış ve uygulanabilir bir RF tespit ve tetikleme çözümü haline gelebilecektir.

Elde edilen benzetim ve doğrulama çıktıları, karar ve tetikleme akışının FPGA üzerinde saat çevrimleri ile yürütülmesi sayesinde zamanlamanın deterministik hale geldiğini göstermektedir. Bu kapsamda detected_type güncellemesi, eşik inceleme adımını takip eden 1 clk_sys içerisinde gerçekleşmiş; dolayısıyla tespit/sınıflandırma gecikmesi tasarım tarafından sabitlenmiş ve tekrar üretilabilir olmuştur. Test-7 senaryosunda tetik kaçırma gözlenmemesi de, geliştirilen mimarinin hedeflenen var/yok tespit ve tetikleme gereksinimi açısından işlevsel olarak tutarlı olduğunu desteklemektedir.

Gelecek çalışmalarda sistemin fiziksel prototipinin parçacık hızlandırıcı laboratuvarlarında test edilmesi, çoklu kanal genişletme çalışmalarının yapılması ve FPGA'nin SoC (ARM Cortex-A9) kullanılarak sistemin kısmen yazılım tabanlı hâle getirilmesi planlanmaktadır. Ayrıca, yüksek hızlı ADC verilerinin gerçek zamanlı işlenmesine yönelik sayısal filtreleme ve FFT tabanlı frekans sınıflandırma algoritmalarının eklenmesi, sistemin algılama kapasitesini artıracaktır. Bu kapsamda elde edilen bulgular, FPGA tabanlı kontrol mimarilerinin yüksek frekanslı RF sistemlerinde güvenilir ve uygulanabilir bir alternatif olduğunu göstermektedir.

KAYNAKLAR

- Ahmed, E., Rose, J. 2004. The effect of LUT and cluster size on deep-submicron FPGA performance and density, in IEEE Transactions on Very Large Scale Integration (VLSI) Systems. <https://doi.org/10.1109/TVLSI.2004.824300>.
- Analog Devices 2011. Evaluation Board Overview. Web Sitesi: <https://www.analog.com/en/resources/evaluation-hardware-and-software/evaluation-boards-kits/eval-ad9434.html#eb-overview>. Eriřim Tarihi: 17.10.2025
- Analog Devices 2013. ADC Driving: Single-Ended To Differential Conversion. Web Sitesi: https://www.analog.com/en/resources/technical-articles/adc-driving-single-ended-to-differential-conversion.html?utm_source=chatgpt.com, Eriřim Tarihi: 31.12.2025.
- Analog Devices 2022. AD9434: 12-Bit, 370 MSPS/500 MSPS, 1.8 V Analog-to-Digital Converter Data Sheet Rev.C. Web Sitesi: <https://www.analog.com/media/en/technical-documentation/data-sheets/ad9434.pdf>, Eriřim Tarihi: 13.10.2025.
- Analog Devices 2024. AD9434 Native FMC Card, Web Sitesi: <https://wiki.analog.com/resources/fpga/xilinx/fmc/ad9434>. Eriřim Tarihi: 17.10.2025
- AMD 2012. Production Brief. Web Sitesi: https://www.xilinx.com/publications/prod_mktg/Zynq_ZC706_Prod_Brief.pdf. Eriřim Tarihi: 19.12.2025
- Betz, V., Rose, J., Marquardt, A. 1994. Architecture and CAD for Deep-Submicron FPGAs. Kluwer Academic Publishers, Toronto Üniversitesi, Kanada.
- Bhasker, J. 1999. A VHDL Primer. Prentice-Hall, ABD.
- Boylestad, R.,L., Nashelsky, L. 2011. Elektronik Cihazlar ve Devre Teorisi, 10'uncu Baskı. Palme Yayıncılık, 10-29, Ankara.
- Brown, S., Rose, J. 2002. FPGA and CPLD architectures: A tutorial. IEEE design and test of computers. Toronto Üniversitesi, Kanada.
- Brown, S., Vranesic, Z. 2014. Fundamentals of Digital Logic with Verilog Design. McGraw-Hill. ABD.
- Çetinkaya, H., 2024. High Speed Data Acquisition Techniques for Pipelined Analog to Digital Converters in IHP SiGe BiCMOS 0.13 μm , Doktora Tezi, İstanbul Teknik Üniversitesi. Lisansüstü Eğitim Enstitüsü, İstanbul.
- Dağdibi, M. A. 2020. Ultra Low Power 12-bit 100 kS/s Differential SAR ADC in 65 nm CMOS Technology. Yüksek Lisans Tezi, İstanbul Medipol Üniversitesi, Fen Bilimleri Enstitüsü, İstanbul, 625394

- David, C. L. 2010. All Digital, Background Calibration for Time-Interleaved and Successive Approximation Register Analog-to-Digital Converters. Doktora Tezi, Worcester Polytechnic Institute, Worcester, ABD.
- Digilent, 2021. Web Sitesi: <https://digilent.com/blog/history-of-the-fpga/>. Erişim tarihi: 28.11.2025.
- Ekström, J., 2023. RF Compressor (SLED) Phase-Modulation to Reduce Peak Fields in the MAX IV Linear Accelerator. Lund Universit, Department of Electrical and Information Technology, İsveç.
- Guo, J., Tantawi, S., 2007. Active RF pulse compression using electrically controlled semiconductor switches. IEEE Particle Accelerator Conference (PAC), Albuquerque, NM, ABD. <https://doi.org/10.1109/PAC.2007.4441274>.
- Jackson, L., B., 1989. Digital Filters and Signal Processing, Springer, 108-110, ABD.
- Karsli, O., Dogan, M., Ahiska, F. and Orkun Surel, O., Haziran 2019. Implementation of High Power Microwave Pulse Compressor. in IEEE Transactions on Plasma Science. <https://doi.org/10.1109/TPS.2019.2916050>.
- Kuon I., Rose J., 2007. Measuring the Gap Between FPGAs and ASICs, in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, <https://doi.org/10.1109/TCAD.2006.884574>.
- Lee, Y., Chow, M.H.L., 2011, Power Electronics Handbook, 3'üncü Baskı, Butterworth-Heinemann, Hong Kong. <https://doi.org/10.1016/B978-0-12-382036-5.00010-0>.
- Maden F. (2023). Design and Implementation of an 11-Bit 50 MS/s Flash-Assisted Successive Approximation Register ADC. Yüksek Lisans Tezi, İstanbul Teknik Üniversitesi, Fen Bilimleri Enstitüsü, İstanbul, 783612.
- Maloberti, F., 2007 Data Converters, Springer, 1-2, ABD.
- Maxfield, C., 2004. The Design Warrior's Guide to FPGAs. ABD
- Mehmood A., Fang J., 2018, "RF and microwave power detection with Schottky diodes", Münih, Almanya.
- MiniCircuits 2015. "Application Note on Transformers". Web Sitesi: https://www.minicircuits.com/app/AN20-002.pdf?srsId=AfmBOopxjElHu_LiPJekXyuW_hynTY7bNH4-BEILG8qFtliXYqHnAoGKg&utm_source=chatgpt.com Erişim tarihi: 31.12.2025.
- Neamen, D., A. 2011, Semiconductor Physics and Devices: Basic Principles, 4'üncü Baskı, McGraw-Hill, 276-331, ABD.

Numanoğlu, M. 2020, iletkenler, Yalıtkanlar ve Yarı İletken Maddeler, Ankara Üniversitesi.

S. Novikov, Y. Yushkov, S. Artemenko, P. Chumerin and R. Shpuntov, 2007 “Development of high power microwave compressors,” Albuquerque, NM, ABD, pp. 1822-1825, <https://doi.org/10.1109/PPPS.2007.4652545>.

Oppenheim, A., V., Schafer, R. W., ve Buck, J. R., 1998, Discrete-Time Signal Processing, 2’nci Baskı. Prentice-Hall Inc., ABD

Pedroni, V.,A. 2004. Circuit Design with VHDL. MIT Press, USA.

Pozar, D.M. 2014, Mikrodalga Mühendisliği, 4’üncü Baskı. Palme Yayıncılık, 526-527, Ankara.

Syratchev, I. 2013, X-band SLED type Pulse Compressor, CERN, İsviçre.

Sze, S. M., Kwok, K. Ng. 2006. Physics of Semiconductor Devices, 3’üncü Baskı, Wiley - Interscience, 134-197, Kanada.

Trimberger, S., M. 2015. Three Ages of FPGAs: A Retrospective on the First Thirty Years of FPGA Technology. In Proceedings of the IEEE. <https://doi.org/10.1109/JPROC.2015.2392104>.

Wang, P., Zha, H., Syratchev, I., Shi, J., ve Chen, H. 2017. Rf design of a pulse compressor with correction cavity chain for klystron-based compact linear collider. Physical Review Accelerators and Beams, İsviçre.

Xilinx, 2018. 7 Series FPGAs SelectIO Resources User Guide, UG471 Versiyon 1.10, ABD.

Xilinx, 2019. ZC706 Evaluation Board for the Zynq-7000 XC7Z045 SoC User Guide versiyon 1.8, ABD.

Xilinx, 2025. UltraScale Architecture Configuration User Guide (UG570), ABD. Web Sitesi: https://docs.amd.com/r/en-US/ug570-ultrascale-configuration/Introduction?tocId=__uoAGvOd16yWRXoFejPDQ.

Zhang, D., 2009. Design and Evaluation of an Ultra-Low Power Successive Approximation ADC. Yüksek Lisans Tezi, Linköping Üniversitesi, Elektrik Elektronik Mühendisliği Bölümü, LiTH-ISY-EX-09/4176-SE.